

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND DELAY-LOCKED LOOP DEVICE

Publication number: JP2003101409

Publication date: 2003-04-04

Inventor: TAKAI YASUHIRO

Applicant: ELPIDA MEMORY INC

Classification:

- **international:** G11C11/407; G06F1/10; G11C7/22; G11C11/4076; H03K5/00; H03K5/13; H03L7/081; G06F1/10; G11C7/00; G11C11/407; H03K5/00; H03K5/13; H03L7/08; (IPC1-7): H03K5/00; H03K5/13; H03L7/081; G06F1/10; G11C11/407

- **europen:** G11C7/22; G11C11/4076

Application number: JP20010285509 20010919

Priority number(s): JP20010285509 20010919

Also published as:

US6750688 (B2)

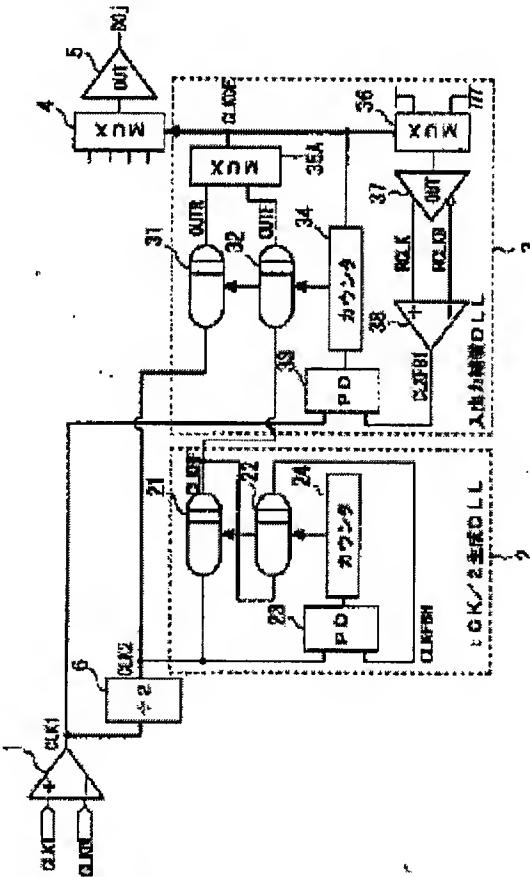
US2003151433 (A1)

DE10244123 (A1)

[Report a data error here](#)

Abstract of JP2003101409

PROBLEM TO BE SOLVED: To provide a delay-locked loop (DLL) circuit and a semiconductor integrated circuit for reducing power consumption. **SOLUTION:** This device is provided with a DLL circuit 2 equipped with delay circuits 21 and 22 for inputting and delaying a frequency dividing clock CLK2 outputted from a frequency dividing circuit 6, a phase detector 23 and a counter 24 and a DLL circuit 3 equipped with delay circuits 31 and 32 for inputting and delaying the frequency dividing clock CLK2, phase detector 33, with which a phase difference between the output CLK1 of an input buffer and the output of a buffer 38 is detected, provided with multiplexer 35A, dummy multiplexer 36, dummy buffer 37 and dummy buffer 38 for inputting output OUTR and OUTF of the delay circuits 31 and 32 and outputting a signal CLKOE, with which rising and falling are specified with rising of OUTR and OUTF and rising and falling are specified with falling of OUTR and OUTF, and counter 34 for outputting a signal for switching the output tap of the delay circuits 31 and 32 corresponding to the output of the phase detector 33.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-101409

(P2003-101409A)

(43)公開日 平成15年4月4日(2003.4.4)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 03 L 7/081		H 03 K 5/13	5 B 07 9
G 06 F 1/10		H 03 L 7/08	J 5 J 00 1
G 11 C 11/407		G 11 C 11/34	3 6 2 S 5 J 10 6
// H 03 K 5/00			3 5 4 C 5 M 02 4
5/13		G 06 F 1/04	3 3 0 A

審査請求 未請求 請求項の数27 OL (全 27 頁) 最終頁に続く

(21)出願番号 特願2001-285509(P2001-285509)

(71)出願人 500174247

エルピーダメモリ株式会社

東京都中央区八重洲2-2-1

(22)出願日 平成13年9月19日(2001.9.19)

(72)発明者 高井 康治

東京都中央区八重洲2-2-1 エルピーダメモリ株式会社内

(74)代理人 100080816

弁理士 加藤 朝道

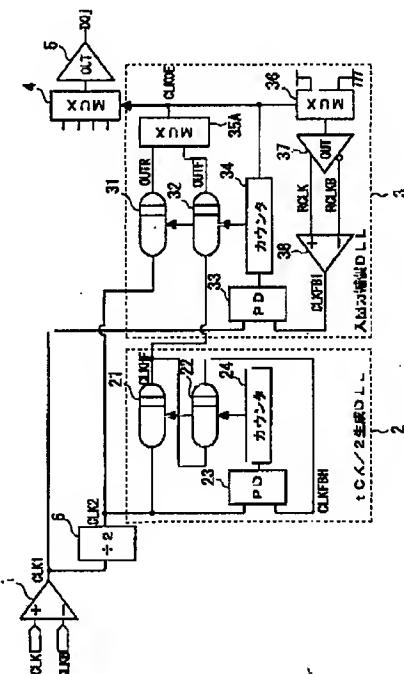
最終頁に続く

(54)【発明の名称】 半導体集積回路装置及び遅延ロックループ装置

(57)【要約】 (修正有)

【課題】消費電力を低減するD L L回路及び半導体集積回路の提供。

【解決手段】分周回路6から出力される分周クロックCLK2を入力して遅延させる遅延回路21、22と、位相検知器23と、カウンタ24を備えたD L L回路2と、分周クロックCLK2を入力して遅延させる遅延回路31、32と、遅延回路31、32の出力OUTR、OUTFを入力し、OUTR、OUTFの立ち上がりで立ち上がりと立ち下がりが規定され、OUTR、OUTFの立ち下がりで立ち上がりと立ち下がりが規定される信号CLKOEを出力するマルチプレクサ35Aと、ダミーマルチプレクサ36と、ダミーバッファ37と、ダミーバッファ38と、を備え、入力バッファの出力CLK1とバッファ38の出力との位相差を検出する位相検知器33と、位相検知器33の出力により遅延回路31、32の出力タップを切替える信号を出力するカウンタ34とを備えたD L L回路3を備える。



【特許請求の範囲】

【請求項1】クロック信号を入力する入力バッファと、前記入力バッファから出力されるクロック信号を入力し、前記入力したクロック信号を分周して出力する分周回路と、前記分周回路から出力される分周クロック信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記分周クロック信号を遅延させた信号を出力する第1の遅延回路と、前記第1の遅延回路の出力信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記第1の遅延回路の出力信号を遅延させた信号を出力する第2の遅延回路と、前記分周回路から出力される分周クロック信号と、前記第2の遅延回路から出力される信号とを入力し、これらの信号の位相差を検出する第1の位相検知器と、前記第1の位相検知器の出力信号を受け、位相の進み、遅れに従い、カウント値を変え、前記第1の遅延回路と前記第2の遅延回路の出力タップを切替えるためのタップ選択信号を出力する第1のカウンタと、を備えた第1の遅延ロックループ回路と、前記分周回路から出力される分周クロック信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記分周クロック信号を遅延させた信号を出力する第3の遅延回路と、前記第1の遅延回路の出力信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記第1の遅延回路の出力信号を遅延させた信号を出力する第4の遅延回路と、前記第3遅延回路の出力信号と前記第4の遅延回路の出力信号とを入力し、これら二つの出力信号のそれぞれの立ち上がりエッジによって、パルスの立ち上がりと立ち下がりのタイミングが規定され、前記二つの出力信号のそれぞれの立ち下がりエッジによって、次のパルスの立ち上がりと立ち下がりのタイミングが規定される信号を出力する第1のマルチプレクサと、前記第1のマルチプレクサの出力信号を入力とするダミーの第2のマルチプレクサと、前記第2のマルチプレクサの出力信号を入力し、出力バッファと同じ遅延時間を有するダミーの第1のバッファと、前記第1のバッファの出力信号を入力し前記入力バッファと同じ遅延時間を有するダミーの第2のバッファと、を備え、前記入力バッファから出力されるクロック信号と、前記ダミーの第2のバッファから出力される信号とを入力し、これらの信号の位相差を検出する第2の位相検知器と、前記第2の位相検知器の出力信号を受け、位相の進み、遅れに従い、カウント値を変え、前記第3の遅延回路と

前記第4の遅延回路の出力タップを切替えるためのタップ選択信号を出力する第2のカウンタと、を備えた第2の遅延ロックループ回路と、を備え、

前記第1のマルチプレクサから出力される信号をデータ出力用クロックとして入力し、入力される複数のデータの一つを選択して出力する第3のマルチプレクサを備え、

前記第2のマルチプレクサは、前記第3のマルチプレクサと同一の遅延時間を有し、

前記出力バッファは、前記第3のマルチプレクサから出力される信号を入力して出力端子から出力データとして出力する、ことを特徴とする半導体集積回路装置。

【請求項2】クロック信号を入力する入力バッファと、前記入力バッファから出力されるクロック信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記入力バッファからのクロック信号を遅延させた信号を出力する第1の遅延回路と、

前記第1の遅延回路の出力信号を入力とし、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記第1の遅延回路の出力信号を遅延させた信号を出力する第2の遅延回路と、

前記入力バッファから出力されるクロック信号と、前記第2の遅延回路の出力信号とを入力し、これらの信号の位相差を検出する第1の位相検知器と、前記第1の位相検知器の出力信号を受け、位相の進み、遅れに従い、カウント値を変え、前記第1の遅延回路と前記第2の遅延回路の出力タップを切替えるためのタップ選択信号を出力する第1のカウンタと、

前記第1の遅延回路から出力される信号をラッチタイミング信号として入力して、前記第1のカウンタから出力されるタップ選択信号をラッチし、前記第1の遅延回路と前記第2の遅延回路に供給する第1のアライナと、を備えた第1の遅延ロックループ回路と、

前記入力バッファから出力されるクロック信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記入力バッファからのクロック信号を遅延させた信号を出力する第3の遅延回路と、

前記第1の遅延回路の出力信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記第1の遅延回路の出力信号を遅延させた信号を出力する第4の遅延回路と、

前記第3遅延回路の出力信号と前記第4の遅延回路の出力信号とを入力し、これら二つの出力信号のそれぞれの立ち上がりエッジによって、パルスの立ち上がりと立ち下がりのタイミングが規定され、前記二つの出力信号のそれぞれの立ち下がりエッジによって、次のパルスの立ち上がりと立ち下がりのタイミングが規定される信号を

出力する第1のマルチプレクサと、
前記第1のマルチプレクサの出力信号を入力とするダミーの第2のマルチプレクサと、
前記第2のマルチプレクサの出力信号を入力し、出力バッファと同じ遅延時間有するダミーの第1のバッファと、
前記第1のバッファの出力信号を入力し前記入力バッファと同じ遅延時間有するダミーの第2のバッファと、
を備え、
前記入力バッファから出力されるクロック信号と、前記ダミーの第2のバッファから出力される信号とを入力し、これらの信号の位相差を検出する第2の位相検知器と、
前記第2の位相検知器の出力信号を受け、位相の進み、遅れに従い、カウント値を変え、前記第3の遅延回路と前記第4の遅延回路の出力タップを切替えるためのタップ選択信号を出力する第2のカウンタと、
前記第1のマルチプレクサの出力信号をラッチタイミング信号として入力して、前記カウンタから出力されるタップ選択信号をラッチし、前記遅延回路に供給するアライナと、
を備えた遅延ロックループ回路と、
を備え、
前記遅延回路から出力される信号をデータ出力用クロックとして入力し、入力される複数のデータの一つを選択して出力する第2のマルチプレクサを備え、
前記第1のマルチプレクサは、前記第2のマルチプレクサと同一の遅延時間を有し、
前記出力バッファは、前記第2のマルチプレクサから出力される信号を入力して出力端子から出力データとして出力することを特徴とする半導体集積回路装置。
【請求項4】前記第1のマルチプレクサが、前記第3の遅延回路の出力信号を入力し、前記第3の遅延回路の出力信号の立ち上がりと立ち下がり遷移時に、あらかじめ定められた所定幅のパルスを出力する第1の信号生成回路と、
前記第4の遅延回路の出力信号を入力し、前記第4の遅延回路の出力信号の立ち上がりと立ち下がり遷移時に、あらかじめ定められた所定幅のパルスを出力する第2の信号生成回路と、
高位側電源と低位側電源間に直列に接続され、接続点から出力信号を出力する互いに逆導電型の、第1のトランジスタ及び第2のトランジスタと、
を備え、
前記第1の信号生成回路の出力信号の反転信号が、前記第1のトランジスタの制御端子に供給され、
前記第2の信号生成回路の出力信号を遅延させた信号が、前記第2のトランジスタの制御端子に供給される、
ことを特徴とする請求項1又は2記載の半導体集積回路装置。

【請求項5】前記第1の遅延回路が、第1の粗調整の遅延回路と、前記第1の粗調整の遅延回路の出力信号を入力とする第1の微調整遅延回路と、前記第1の粗調整の遅延回路の出力信号をインバータで反転した信号を入力とする第2の微調整遅延回路と、前記第1の微調整遅延回路と前記第2の微調整遅延回路の出力信号を入力し、单相の信号を合成する第4のマルチプレクサを備え、
前記第2の遅延回路が、第2の粗調整の遅延回路と、前記第2の粗調整の遅延回路の出力信号を入力とする第3の微調整遅延回路と、前記第2の粗調整の遅延回路の出力信号をインバータで反転した信号を入力とする第4の微調整遅延回路と、前記第3の微調整遅延回路と前記第4の微調整遅延回路の出力信号を入力し、单相の信号を合成する第5のマルチプレクサと、
を備えている、ことを特徴とする請求項1又は2記載の半導体集積回路装置。

い、カウント値を変え、前記遅延回路の出力タップを切替えるためのタップ選択信号を出力するカウンタと、
前記遅延回路の出力信号をラッチタイミング信号として入力して、前記カウンタから出力されるタップ選択信号をラッチし、前記遅延回路に供給するアライナと、
を備えた遅延ロックループ回路と、
を備え、
前記遅延回路から出力される信号をデータ出力用クロックとして入力し、入力される複数のデータの一つを選択して出力する第2のマルチプレクサを備え、
前記第1のマルチプレクサは、前記第2のマルチプレクサと同一の遅延時間を有し、
前記出力バッファは、前記第2のマルチプレクサから出力される信号を入力して出力端子から出力データとして出力することを特徴とする半導体集積回路装置。
【請求項4】前記第1のマルチプレクサが、前記第3の遅延回路の出力信号を入力し、前記第3の遅延回路の出力信号の立ち上がりと立ち下がり遷移時に、あらかじめ定められた所定幅のパルスを出力する第1の信号生成回路と、
前記第4の遅延回路の出力信号を入力し、前記第4の遅延回路の出力信号の立ち上がりと立ち下がり遷移時に、あらかじめ定められた所定幅のパルスを出力する第2の信号生成回路と、
高位側電源と低位側電源間に直列に接続され、接続点から出力信号を出力する互いに逆導電型の、第1のトランジスタ及び第2のトランジスタと、
を備え、
前記第1の信号生成回路の出力信号の反転信号が、前記第1のトランジスタの制御端子に供給され、
前記第2の信号生成回路の出力信号を遅延させた信号が、前記第2のトランジスタの制御端子に供給される、
ことを特徴とする請求項1又は2記載の半導体集積回路装置。

【請求項5】前記第1の遅延回路が、第1の粗調整の遅延回路と、前記第1の粗調整の遅延回路の出力信号を入力とする第1の微調整遅延回路と、前記第1の粗調整の遅延回路の出力信号をインバータで反転した信号を入力とする第2の微調整遅延回路と、前記第1の微調整遅延回路と前記第2の微調整遅延回路の出力信号を入力し、单相の信号を合成する第4のマルチプレクサを備え、
前記第2の遅延回路が、第2の粗調整の遅延回路と、前記第2の粗調整の遅延回路の出力信号を入力とする第3の微調整遅延回路と、前記第2の粗調整の遅延回路の出力信号をインバータで反転した信号を入力とする第4の微調整遅延回路と、前記第3の微調整遅延回路と前記第4の微調整遅延回路の出力信号を入力し、单相の信号を合成する第5のマルチプレクサと、
を備えている、ことを特徴とする請求項1又は2記載の半導体集積回路装置。

【請求項6】前記第3の遅延回路が、第3の粗調整の遅延回路と、前記第3の粗調整の遅延回路の出力信号を入力とする第5の微調整遅延回路と、前記第3の粗調整の遅延回路の出力信号をインバータで反転した信号を入力とする第6の微調整遅延回路と、を備え、前記第4の遅延回路が、第4の粗調整の遅延回路と、前記第4の粗調整の遅延回路の出力信号を入力とする第7の微調整遅延回路と、前記第4の粗調整の遅延回路の出力信号をインバータで反転した信号を入力とする第8の微調整遅延回路と、を備え、前記第1のマルチプレクサが、前記第5乃至第8の微調整遅延回路からそれぞれ出力される第1乃至第4の遅延信号を入力し、前記第1の遅延信号、及び前記第4の遅延信号のそれぞれの立ち上がりエッジにより、立ち上がりと立ち下がりのタイミングが規定される信号と、前記第2の遅延信号、及び第3の遅延信号のそれぞれの立ち上がりエッジにより、立ち上がりと立ち下がりのタイミングが規定される信号を出力することを特徴とする請求項1、2、5のいずれか一に記載の半導体集積回路装置。

【請求項7】前記第1の遅延回路から出力される信号をラッチタイミング信号として入力して、前記第1のカウンタから出力されるタップ選択信号をラッチし、前記第1の遅延回路と前記第2の遅延回路に供給する第1のアライナを備えていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項8】前記第1のマルチプレクサの出力信号をラッチタイミング信号として入力して、前記第2のカウンタから出力されるタップ選択信号をラッチし、前記第3の遅延回路と前記第4の遅延回路に供給する第2のアライナを備えていることを特徴とする請求項1又は7記載の半導体集積回路装置。

【請求項9】前記入力バッファからのクロック信号と、前記分周回路からの分周クロックとのいずれかを選択して、前記第1の遅延回路、及び前記第1の位相検知器に供給する第1の切替スイッチをさらに備えていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項10】前記入力バッファから出力されるクロック信号とは相補のクロック信号を生成する第2の入力バッファと、

前記第2の入力バッファからのクロック信号を分周する第2の分周回路と、前記第2の入力バッファからのクロック信号と、前記第2の分周回路からの分周クロックとのいずれかを選択して、前記第4の遅延回路に供給する第2の切替スイッチと、をさらに備えていることを特徴とする請求項1又は9記載の半導体集積回路装置。

【請求項11】前記第1の位相検知器が、前記第2の遅延回路の出力信号を基準にして、前記分周クロックの位

相の遅れ、進みを検知し、

前記第2の位相検知器が、前記ダミーの第2のバッファから出力される信号を基準にして、前記入力バッファから出力されるクロック信号の位相の遅れ、進みを検知することを特徴とする請求項1記載の半導体集積回路装置。

【請求項12】前記第1の位相検知器が、前記第2の遅延回路の出力信号を基準にして、前記入力バッファから出力されるクロック信号の位相の遅れ、進みを検知し、前記第2の位相検知器が、前記ダミーの第2のバッファから出力される信号を基準にして、前記入力バッファから出力されるクロック信号の位相の遅れ、進みを検知することを特徴とする請求項2記載の半導体集積回路装置。

【請求項13】前記位相検知器が、前記ダミーの第2のバッファから出力される信号を基準にして、前記入力バッファから出力されるクロック信号の位相の遅れ、進みを検知することを特徴とする請求項3記載の半導体集積回路装置。

【請求項14】前記分周回路が、入力される信号の周波数を2分の1とした周波数の信号を出力する2分周回路であることを特徴とする請求項1記載の半導体集積回路装置。

【請求項15】入力信号を直列に接続された第1及び第2の遅延回路で遅延させた信号と、前記入力信号の位相が合うように、前記第1及び第2の遅延回路の遅延時間を調整することで、前記第1の遅延回路から、前記入力信号を前記入力信号の2分の1周期分、遅延させた信号を出力する遅延ロックループ装置において、前記入力信号を分周する分周回路を備え、

前記分周回路の出力信号を前記第1及び第2の遅延回路で遅延させ、前記分周回路の出力信号と前記第2の遅延回路の出力信号の位相が合うように前記第1及び第2の遅延回路の遅延時間を調整する制御信号を出力する第1の遅延調整手段を備えていることを特徴とする、遅延ロックループ装置。

【請求項16】入力信号を直列に接続された第1及び第2の遅延回路で遅延させた信号と、前記入力信号との位相が合うように、前記第1、及び第2の遅延回路の遅延時間を調整することで、前記第1の遅延回路から、前記入力信号を前記入力信号の2分の1周期分、遅延させた信号を出力する第1の遅延ロックループ装置であって、前記入力信号を分周する分周回路を備え、

前記分周回路の出力信号を前記第1及び第2の遅延回路で遅延させ、

前記分周回路の出力信号と前記第2の遅延回路の出力信号の位相が合うように、前記第1及び第2の遅延回路の遅延時間を調整する制御信号を出力する第1の遅延調整手段を備えている第1の遅延ロックループ装置と、

前記入力信号に基づき、データ出力用のクロック信号を生成し、複数のデータを選択出力するマルチプレクサに対して前記データ出力用のクロックを供給する第2の遅延ロックループ装置であって、
前記分周回路の出力信号を入力して遅延させ第1の信号を出力する第3の遅延回路と、
前記第1の遅延ロックループ装置の出力信号を入力して遅延させ第2の信号を出力する第4の遅延回路と、
前記第3及び第4の遅延回路からの前記第1及び第2の信号を入力し、前記第1及び第2の信号のそれぞれの立ち上がりエッジで、パルスの立ち上がりと立ち下がりのタイミングが規定され、前記第1及び第2の信号のそれぞれの立ち下がりエッジで、つぎのパルスの立ち上がりと立ち下がりのタイミングが規定される信号を、前記データ出力用のクロックとして出力する回路と、
前記データ出力用のクロックを少なくとも前記マルチプレクサの遅延時間分遅延させた信号と、前記入力信号との位相が合うように、前記第3及び第4の遅延回路の遅延時間を調整する制御信号を出力する第2の遅延調整手段を備えている第2の遅延ロックループ装置と、
を有する、ことを特徴とする遅延ロックループ装置。

【請求項17】前記第1の遅延調整手段からの制御信号を、前記第1の遅延回路の出力信号でラッチして前記第1及び第2の遅延回路に供給する第1のラッチ回路を備えている、ことを特徴とする、請求項15又は16記載の遅延ロックループ装置。

【請求項18】前記第2の遅延調整手段からの制御信号を、前記データ出力用のクロックでラッチして前記第3及び第4の遅延回路に供給する第2のラッチ回路を備えている、ことを特徴とする請求項16又は17記載の遅延ロックループ装置。

【請求項19】クロック信号を入力する入力バッファより出力されるクロック信号を分周回路で分周したクロック信号を入力とし、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記分周クロック信号を遅延させた信号を出力する第1の遅延回路と、

前記第1の遅延回路の出力信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記第1の遅延回路の出力信号を遅延させた信号を出力する第2の遅延回路と、

前記分周クロック信号と、前記第2の遅延回路の出力信号とを入力し、これらの信号の位相差を検出する第1の位相検知器と、

前記第1の位相検知器の出力信号を受け、位相の進み、遅れに従い、カウント値を変え、前記第1の遅延回路と前記第2の遅延回路の出力タップを切替えるためのタップ選択信号を出力する第1のカウンタと、

を備えた第1の遅延ロックループ回路と、
前記分周回路から出力される分周クロック信号を入力

し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記分周クロック信号を遅延させた信号を出力する第3の遅延回路と、

前記第1の遅延回路の出力信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記第1の遅延回路の出力信号を遅延させた信号を出力する第4の遅延回路と、

前記第3遅延回路の出力信号と前記第4の遅延回路の出力信号を入力し、二つの前記出力信号のそれぞれの立ち上がりエッジによって、パルスの立ち上がりと立ち下がりのタイミングが規定され、二つの前記出力信号のそれぞれの立ち下がりエッジによって、次のパルスの立ち上がりと立ち下がりのタイミングが規定される信号を出力する第1のマルチプレクサと、

前記第1のマルチプレクサの出力信号を所定時間遅延させる遅延手段と、

前記入力バッファから出力されるクロック信号と、前記遅延手段の出力信号とを入力し、これらの信号の位相差を検出する第2の位相検知器と、

前記第2の位相検知器の出力信号を受け、位相の進み、遅れに従い、カウント値を変え、前記第3の遅延回路と前記第4の遅延回路の出力タップを切替えるためのタップ選択信号を出力する第2のカウンタと、

を備えた第2の遅延ロックループ回路と、

を有する、ことを特徴とする遅延ロックループ装置。

【請求項20】クロック信号を入力する入力バッファより出力されるクロック信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記入力バッファからのクロック信号を遅延させた信号を出力する第1の遅延回路と、

前記第1の遅延回路の出力信号を入力とし、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記第1の遅延回路の出力信号を遅延させた信号を出力する第2の遅延回路と、

前記入力バッファの出力クロックと、前記第2の遅延回路の出力信号とを入力し、これらの信号の位相差を検出する第1の位相検知器と、

前記第1の位相検知器の出力信号を受け、位相の進み、遅れに従い、カウント値を変え、前記第1の遅延回路と前記第2の遅延回路の出力タップを切替えるためのタップ選択信号を出力する第1のカウンタと、

前記第1の遅延回路から出力される信号をラッチタイミング信号として入力して、前記第1のカウンタから出力されるタップ選択信号をラッチし、前記第1の遅延回路と前記第2の遅延回路に供給する第1のアライナと、
を備えた第1の遅延ロックループ回路と、

前記入力バッファから出力されるクロック信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記入力バッファからのクロック信号を遅延させた信号を出力する第3の遅延回路

と、

前記第1の遅延回路の出力信号を入力し、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記第1の遅延回路の出力信号を遅延させた信号を出力する第4の遅延回路と、
前記第3遅延回路の出力信号と前記第4の遅延回路の出力信号を入力し、二つの前記出力信号のそれぞれの立ち上がりエッジによって、パルスの立ち上がりと立ち下がりのタイミングが規定され、二つの前記出力信号のそれぞれの立ち下がりエッジによって、次のパルスの立ち上がりと立ち下がりのタイミングが規定される信号を出力する第1のマルチプレクサと、
前記第1のマルチプレクサの出力信号を、所定時間遅延させる遅延手段と、

前記入力バッファから出力されるクロック信号と、前記遅延手段の出力信号とを入力し、これらの信号の位相差を検出する第2の位相検知器と、

前記第2の位相検知器の出力信号を受け、位相の進み、遅れに従い、カウント値を変え、前記第3の遅延回路と前記第4の遅延回路の出力タップを切替えるためのタップ選択信号を出力する第2のカウンタと、

前記第1のマルチプレクサの出力信号をラッチタイミング信号として入力して、前記第2のカウンタから出力されるタップ選択信号をラッチし、前記第3の遅延回路と前記第4の遅延回路に供給する第2のアライナと、
を備えた第2の遅延ロックループ回路と、
を有する、ことを特徴とする遅延ロックループ装置。

【請求項21】クロック信号を入力とする入力バッファから出力されるクロック信号を入力とし、遅延時間の互いに異なる複数の出力タップのうち選択された出力タップより、前記入力バッファからのクロック信号を遅延させた信号を出力する遅延回路と、

前記遅延回路の出力信号を所定時間遅延させる遅延手段と、

前記入力バッファから出力されるクロック信号と、前記遅延手段の出力信号とを入力し、これらの信号の位相差を検出する位相検知器と、

前記位相検知器の出力信号を受け、位相の進み、遅れに従い、カウント値を変え、前記遅延回路の出力タップを切替えるためのタップ選択信号を出力するカウンタと、
前記遅延回路の出力信号をラッチタイミング信号として入力して、前記カウンタから出力されるタップ選択信号をラッチし、前記遅延回路に供給するアライナと、
を備えている、ことを特徴とする遅延ロックループ装置。

【請求項22】前記第1のマルチプレクサが、前記第3の遅延回路の出力信号を入力し、前記第3の遅延回路の出力信号の立ち上がりと立ち下がり遷移時に、あらかじめ定められた所定幅のパルスを出力する第1の信号生成回路と、

前記第4の遅延回路の出力信号を入力し、前記第4の遅延回路の出力信号の立ち上がりと立ち下がり遷移時に、あらかじめ定められた所定幅のパルスを出力する第2の信号生成回路と、

高位側電源と低位側電源間に直列に接続され、接続点から出力信号を出力する互いに逆導電型の、第1のトランジスタ及び第2のトランジスタと、
を備え、

前記第1の信号生成回路の出力信号の反転信号が、前記第1のトランジスタの制御端子に供給され、

前記第2の信号生成回路の出力信号を遅延させた信号が、前記第2のトランジスタの制御端子に供給される、
ことを特徴とする請求項19又は20記載の遅延ロックループ装置。

【請求項23】前記第1の遅延回路が、第1の粗調整の遅延回路と、前記第1の粗調整の遅延回路の出力信号を入力とする第1の微調整遅延回路と、前記第1の粗調整の遅延回路の出力信号をインバータで反転した信号を入力とする第2の微調整遅延回路と、前記第1の微調整遅延回路と前記第2の微調整遅延回路の出力信号を入力し、単相の信号を合成する第4のマルチプレクサを備え、

前記第2の遅延回路が、第2の粗調整の遅延回路と、前記第2の粗調整の遅延回路の出力信号を入力とする第3の微調整遅延回路と、前記第2の粗調整の遅延回路の出力信号をインバータで反転した信号を入力とする第4の微調整遅延回路と、前記第3の微調整遅延回路と前記第4の微調整遅延回路の出力信号を入力し、単相の信号を合成する第5のマルチプレクサと、
を備えている、ことを特徴とする請求項19又は20記載の遅延ロックループ装置。

【請求項24】前記第3の遅延回路が、第3の粗調整の遅延回路と、前記第3の粗調整の遅延回路の出力信号を入力とする第5の微調整遅延回路と、前記第3の粗調整の遅延回路の出力信号をインバータで反転した信号を入力とする第6の微調整遅延回路と、を備え、
前記第4の遅延回路が、第4の粗調整の遅延回路と、前記第4の粗調整の遅延回路の出力信号を入力とする第7の微調整遅延回路と、前記第4の粗調整の遅延回路の出力信号をインバータで反転した信号を入力とする第8の微調整遅延回路と、を備え、

前記第1のマルチプレクサが、前記第5乃至第8の微調整遅延回路からそれぞれ出力される第1乃至第4の遅延信号を入力し、前記第1の遅延信号、及び前記第4の遅延信号のそれぞれの立ち上がりエッジにより、立ち上がりと立ち下がりのタイミングが規定される信号と、前記第2の遅延信号、及び第3の遅延信号のそれぞれの立ち上がりエッジにより、立ち上がりと立ち下がりのタイミングが規定される信号を出力する、ことを特徴とする請求項19、20、23のいずれか一に記載の遅延ロック

ループ装置。

【請求項25】前記第1の遅延回路から出力される信号をラッチタイミング信号として入力して、前記第1のカウンタから出力されるタップ選択信号をラッチし、前記第1の遅延回路と前記第2の遅延回路に供給する第1のアライナを備えている、ことを特徴とする請求項19記載の遅延ロックループ装置。

【請求項26】前記第1のマルチプレクサの出力信号をラッチタイミング信号として入力して、前記第2のカウンタから出力されるタップ選択信号をラッチし、前記第3の遅延回路と前記第4の遲延回路に供給する第2のアライナを備えている、ことを特徴とする請求項19又は25記載の遅延ロックループ装置。

【請求項27】前記分周回路が、入力される信号の周波数を2分の1とした周波数の信号を出力する2分周回路である、ことを特徴とする請求項19記載の遅延ロックループ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に、遅延ロックループ(DLL)及び該DLLを備えた半導体集積回路装置に関する。

【0002】

【従来の技術】DDR(Double Data Rate; ダブルデータレート)-SDRAM(Synchronous DRAM; シンクロナス・ダイナミックランダムアクセスメモリ)は、周波数100MHz～166MHzの入力クロックに対し、転送速度200M～300Mbps(Mega bits/second)のデータ転送を行う仕様とされている。データ入力は、入力クロックの立ち上がりエッジと、立ち下がりエッジの両エッジに同期する仕様とされており、入力されたクロックを、そのまま、一本の遅延線(ディレイライン)に通すことによって、最小構成のDLLで仕様を実現することができる。

【0003】図18は、DDR仕様対応のDLL(Delay Lock Loop; 遅延ロックループ)の一例を示し、図19は、そのタイミング動作を示す図である。

【0004】図18を参照すると、このDLL3Aは、差動(ディファレンシャル)モードで伝送される互いに相補のクロック信号CLK、CLKBを入力とし、単相(シングルエンド)モードの信号CLK1を出力する入力バッファ1と、入力バッファ1からのクロック信号CLK1を入力して遅延させて出力する遅延回路(ディレイライン)31を備え、遅延回路31は、互いに遅延時間の異なる複数の出力タップ(図示されない)のうち選択された一つの出力タップから、遅延させた信号を出し、遅延時間が可変とされる。

【0005】遅延回路31から出力される信号CLKO

Eをデータ出力用クロックとして、メモリセルアレイ(不図示)より読み出された2つのデータを入力して選択するマルチプレクサ(MUX)4と、マルチプレクサ4の出力信号を入力しデータ出力信号DQjとしてデータ出力端子に出力する出力バッファ5と、遅延回路31の出力信号CLKOEを選択信号として入力し、High又はLowレベルの信号を出力し、マルチプレクサ(MUX)4と同一の遅延時間を有するダミーのマルチプレクサ(MUX)36と、ダミーのマルチプレクサ36の出力を入力して、相補のRCLK、RCLKBを出力し、出力バッファ5と同じ遅延時間を有するダミーのバッファ37と、差動モードで伝送されたクロックRCLK、RCLKBを入力して单相のクロック信号CLKFB1を出力し、入力バッファ1と同じ遅延時間を有するダミーのバッファ38と、入力バッファ1の出力信号CLK1とダミーのバッファ38の出力信号CLKFB1とを入力し、これらの信号CLK1とCLKFB1の位相差を検出する位相検知器33と、位相検知器33での位相検知結果により、位相の進み、遅れに従い、アップ又はダウンカウントするカウンタ34と、を備えている。ダミーのマルチプレクサ(MUX)36は、Highレベル(VDD電位)とLowレベル(VSS電位)の固定値をデータとして入力し、このうちの一方を、入力される信号CLKOEを選択信号として、選択出力する。

【0006】このDLL3Aにおいて、入力バッファ1の出力クロック信号CLK1と、ダミーのバッファ38の出力信号CLKFB1の位相が一致するように、カウンタ34の出力信号に基づき、遅延回路31の出力タップの切替えが行われて、その遅延時間が調整され、図19のタイミング図に示すように、DDR-SDRAMの出力信号DQjは、クロックCLKにロック(同期)する。

【0007】図19を参照すると、信号CLKOEの立ち上がりのタイミングは、入力バッファ1の出力クロックCLK1の立ち上がりのタイミングから、遅延回路31の遅延時間 0 |分遅れる(図19の矢線(1))。マルチプレクサ36、バッファ37、38のそれぞれの遅延時間を 3 |、 2 |、 1 |とし、信号CLKFB1の立ち上がりエッジは、信号CLKOEの立ち上がりのタイミングから、マルチプレクサ36、バッファ37、38の遅延時間を加算した時間 1 |+ 2 |+ 3 |遅れる(図19の矢線(3))。

【0008】信号CLKFB1の立ち上がりのタイミングは、現在の信号CLKFB1の元となったクロックCLKよりも1サイクル後のクロックCLK1の立ち上がりのタイミング(クロックCLKのサイクルの開始点から入力バッファ1の遅延時間 1 |分遅れている)と一致するように制御されるため、入力クロックCLK(クロック周期=tCK)の立ち上がりのタイミングを

基準に、信号CLKFB1の立ち上がりのタイミングは、 $t_{CK} + t_d 1$ となる。

【0009】したがって、クロックCLKOEの立ち上がりエッジのタイミングは、

$$t_{CK} + t_d 1 - (t_d 1 + t_d 2 + t_d 3) = t_{CK} - t_d 2 - t_d 3$$

となる。

【0010】マルチプレクサ4を経由したデータ出力伝搬経路において、信号CLKOEの立ち上がりエッジからのマルチプレクサ4の出力までの伝搬遅延時間は $t_d 3$ 、出力バッファ5の伝搬遅延時間が $t_d 2$ であることから(図19の矢線(4))、データ出力信号DQjの出力タイミングは、

$$(t_{CK} - t_d 2 - t_d 3) + t_d 3 + t_d 2 = t_{CK}$$

すなわち、クロックCLKの立ち上がり(クロックサイクルの開始点)とデータ出力信号DQjの出力のタイミングは一致する。

【0011】同様にして、信号CLKOEの立ち下がりのタイミングは、入力バッファ1の出力クロックCLK1の立ち下がりから遅延回路31の遅延時間 $t_d 0$ 分遅れる(図19の矢線(2))。信号CLKFB1の立ち下がりのタイミングは、その立ち上がりエッジから、クロックCLK1のパルス幅分遅れている(図19の矢線(5))。信号CLKOEの立ち下がりエッジで、次のデータ出力信号DQjが出力され、そのタイミングは、クロックCLKの立ち下がりのタイミング(CLKBの立ち上がり)に同期して行われる。図18に示す構成のDLL3Aは、入力クロックと出力データとの位相を調整して同期させる回路であり、「入出力補償DLL」ともいう。

【0012】ところで、DDR-II-SDRAMの仕様では、クロック周波数200~300MHz(データ転送速度は400~600Mbps)と更に高速になる。メモリコントローラの動作マージン向上のため、入力クロックCLKに対して、0度、180度の各位相に同期する仕様(Duty Cycle Correction: デューティサイクルコレクション、「DCC」とも略記される)が検討されている。

【0013】DDR-II-SDRAM仕様のDLLは、例えば図20に示すように、0°伝搬用のディレイライン(図18の31に対応)のほかに、180°伝搬用のディレイライン32と、180°位相差生成用の2本のディレイライン21、22の計4本のディレイラインで構成される。すなわち、 $t_{CK}/2$ 生成用のDLL2Bと、入力補償用のDLL3Bを備えている。

【0014】図20を参照すると、 $t_{CK}/2$ 生成用のDLL2Bは、クロック信号CLK、CLKBを入力する入力バッファ1からクロック信号CLK1を入力し、出力タップを切替えることで、出力信号の遅延時間が可変自在とされる遅延回路(ディレイライン)21と、

遅延回路21からの出力信号CLKHFを入力とし、出力タップを切替えることで、出力信号CLKFBHの遅延時間が可変自在とされる遅延回路22と、クロック信号CLK1と遅延回路22の出力信号CLKFBHとを入力し、信号CLK1とCLKFBHの位相差を検出する位相検知器23と、位相検知器23の位相比較結果により、位相の進み、遅れに応じて、アップ又はダウンカウントするカウンタ24と、を備え、位相検知器23に入力される信号CLKFBHと、信号CLK1(信号CLKFBHが生成されたCLK1のサイクルよりも後のサイクルのCLK1; クロックCLKのクロック周期は t_{CK})の立ち上がりのタイミングが一致するように、遅延回路21と遅延回路22の出力タップが選択される。すなわち、遅延回路21では、クロック信号CLK1を t_d 遅延させ、遅延回路22でさらに t_d 遅延させた信号CLKFBHの立ち上がりのタイミングが、位相がCLK1の立ち上がりのタイミングと一致する場合、 $t_d + t_d = t_{CK}$

となり、これより、遅延回路21、22の遅延時間 t_d は、

$$t_d = t_{CK}/2$$

となる。 $t_{CK}/2$ 生成用のDLL2Bから出力されるクロック信号CLKHFの立ち上がりのタイミングは、クロック信号CLK1の立ち上がりのタイミングから、クロック周期 t_{CK} の2分の1分遅れ、180°位相差が生成される。

【0015】また入出力補償用のDLL3Bは、入力バッファ1の出力であるクロック信号CLK1を入力とし、出力タップを切替えることで、出力信号OUTRの遅延時間が可変自在とされる遅延回路31と、遅延回路21の出力信号CLKHFを入力とし、出力タップを切替えることで、出力信号OUTFの遅延時間が可変自在とされる遅延回路32と、遅延回路31、32の出力OUTR、OUTFを入力し、信号OUTR、OUTFの立ち上がりのタイミングで、パルスの立ち上がりエッジと立ち下がりのタイミングが規定される出力信号CLKOEを出力するマルチプレクサ(MUX)35Bと、マルチプレクサ(MUX)35Bの出力信号CLKOE(データ出力用クロック)を選択信号として入力とし、クロックCLKの1クロックサイクルあたり、二つのデータを選択出力するマルチプレクサ(MUX)4と、マルチプレクサ(MUX)4の出力を入力し、信号DQjとして出力する出力バッファ5と、マルチプレクサ(MUX)35Bの出力信号CLKOEを入力し、マルチプレクサ4と同一の遅延時間を有するダミーのマルチプレクサ(MUX)36と、マルチプレクサ(MUX)36の出力を入力し、相補信号RCLK、RCLKBを出力し、出力バッファ5と同じ遅延時間を有するダミーのバッファ37と、相補信号RCLK、RCLKBを入力し、単相の信号CLKFB1を出力し、入力バッファ1

と同じ遅延時間を有するダミーのバッファ38と、を備え、入力バッファ1の出力信号CLK1とダミーのバッファ38の出力信号CLKFB1とを入力し、信号CLK1とCLKFB1の位相差を検出する位相検知器33と、位相検知器33の出力によりアップ又はダウンカウントするカウンタ34と、を備え、カウンタ34の出力で、遅延回路31、32の出力タップの切り替えが行われ、遅延時間が調整される。ダミーのマルチプレクサ(MUX)36は、HighとLowの固定値をデータとして入力し、このうちの一方を、入力される信号CLKOEを選択信号として、選択出力する。

【0016】図21は、図20に示した回路のタイミング動作を説明するための図である。図21を参照して、図20に示した回路の動作について説明する。入力バッファ1の出力CLK1を入力する遅延回路31は、クロック信号CLK1を、時間 0遅延させた信号OUTRを出力する(図21の矢線(2)参照)。クロック信号CLK1をtCK/2(図21の矢線(1)参照)遅延させた信号CLKHFを入力する遅延回路32は、信号CLKHFを、td0遅延させた信号OUTFを出力し(図20の矢線(3))、マルチプレクサ35Bの出力信号CLKOEは、信号のOUTRの立ち上がりでHighレベルに立ち上がり(図20の矢線(4))、信号OUTFの立ち上がりでLowレベルとなる(図20の矢線(5))。 |

【0017】マルチプレクサ4におけるデータの選択は、信号CLKOEの立ち上がりエッジと立ち下がりエッジで行われ、出力バッファ5から出力される信号DQjの出力タイミングは、クロック信号CLKの周期tCKの1/2周期単位で行われる。この動作について説明する。

【0018】マルチプレクサ35Bから出力される、データ出力用クロックであるCLKOEは、入力バッファ1の出力クロックCLK1の立ち上がりエッジから、遅延回路31の遅延時間 0だけ遅延して立ち上がり(OUTRの立ち上がりのタイミング)、 $t_{d0} + t_{CK}/2 - t_{d0} = t_{CK}/2$ |

のパルス幅を有する。信号CLKOEの立ち下がりのタイミングは、入力バッファ1の出力クロックCLK1の立ち上がりエッジから、
 $t_{CK}/2 + t_{d0}$

のタイミングとなる(OUTFの立ち上がりのタイミング)。

【0019】マルチプレクサ36、バッファ37、38の遅延時間を 3、td2、td1とし、信号CLKFB1の立ち上がりエッジは、信号CLKOEの立ち上がりエッジから、マルチプレクサ36、バッファ37、38の遅延時間を加算した時間 1+td2+td3遅れている(図20の矢線(6))。 | |

【0020】信号CLKFB1の立ち上がりのタイミン

グは、現在の信号CLKFB1の元となったクロックCLKよりも、nサイクル後(図20では3サイクル後)のクロックCLK1の立ち上がりのタイミング(ただし、CLK1は、クロックCLKのサイクルの開始時点から入力バッファ1の遅延時間 1分遅れている)と一致するように制御されるため、元となる入力クロックCLKの立ち上がりのタイミングを基準として、信号CLKFB1の立ち上がりのタイミングは、 |

$$n_{tCK} + t_{d1}$$

となる。

【0021】したがって、クロックCLKOEの立ち上がりのタイミングは、

$$n_{tCK} + t_{d1} - (t_{d1} + t_{d2} + t_{d3}) = n_{tCK} - t_{d2} - t_{d3}$$

となる。

【0022】マルチプレクサ4を経由したデータ出力伝搬経路において、CLKOEの立ち上がりエッジからのマルチプレクサ4の出力までの伝搬遅延時間は 3、出力バッファ5の伝搬遅延時間が 2であることから(図20の矢線(7))、第1のデータ出力信号DQjの出力タイミングは、 | |

$$(n_{tCK} - t_{d2} - t_{d3}) + t_{d3} + t_{d2} = n_{tCK}$$

すなわち、クロックCLKのクロックサイクルの開始時点(クロックCLKの立ち上がり)と、データ出力信号DQjの出力タイミングは一致する。

【0023】また信号CLKOEの立ち下がりのタイミングは、その立ち上がりエッジからtCK/2遅れており、信号CLKOEの立ち下がりのタイミングは、

$$n_{tCK} + t_{d1} - (t_{d1} + t_{d2} + t_{d3}) + t_{CK}/2 = n_{tCK} - t_{d2} - t_{d3} + t_{CK}/2$$

となる。

【0024】マルチプレクサ4を経由したデータ出力伝搬経路において、CLKOEの立ち下がりエッジからの伝搬遅延時間は 3、出力バッファ5の伝搬遅延時間が 2であることから(図20の矢線(9))、第2のデータ出力信号DQjの出力タイミングは、 | |

$$(n_{tCK} - t_{d2} - t_{d3} + t_{CK}/2) + t_{d3} + t_{d2} = n_{tCK} + t_{CK}/2$$

となり、したがって、第2のデータ出力信号DQjの出力タイミングは、クロックCLKのクロックサイクルの開始時点から、tCK/2のタイミングとなる。

【0025】以上により、図21に示すように、デューティ比が50%とは異なるクロックCLK/CLKBのデューティコレクションが行われ、データウインドウ50%の出力動作が行われる。

【0026】各遅延回路21、22、31、32は、図14に示すような構成とされており、遅延回路の各タップD1、D2、D3と出力ノード間に接続されるスイッチ(トライステートインバータ、あるいはCMOSトランジスタ)

ンスファゲート）に対して、タップ制御信号C1、C2、C3により、その一つをオンとし、他をオフすることで、選択される。

【0027】ここで、デューティサイクルコレクション機能についてさらに詳細に説明する。前述したように、図20のtCK/2生成用DLL2Bは、デューティコレクション回路（DCC）として作用する。

【0028】図17に示すように、クロック発生源52から供給されるクロックで駆動され、メモリコントローラ50に対して、クロックに同期して、読み出しデータDQjを出力する複数のクロック同期型メモリ51₁～51_nを備えたシステム構成について説明する。図16は、DCC機能なしの場合と、DCC機能有りの場合を比較して説明するための説明図である。

【0029】クロック発生源52の近端のクロックCLKは、デューティ比50%であっても、遠端では、クロックスキュー(α)の存在により、クロックのデューティ比は50%から変動する。

【0030】DCC機能がないクロック同期型メモリでは、近端のDQjのデータウインドウに、 β %の変動がある場合、遠端のデータDQjのデータウインドウのはらつきは、クロックのスキューの存在により、50%±($\alpha+\beta$)の変動が存在する。

【0031】これに対して、DCC機能を備えている場合には、クロックのデューティ比は50%とされ、近端のDQjのデータウインドウは50%となり、データウインドウに β %の変動がある場合にも、遠端のDQjのデータウインドウのはらつきは、50%± β の変動となり、クロックスキューによる影響を除去、低減することができる。

【0032】

【発明が解決しようとする課題】DDR-IIでは、その動作サイクルの仕様が、DDR-Iの半分の3、3nsとされ、遅延回路等、DLL内部を伝搬するクロック信号のパルスの幅は、最大1、7nsと、DDR-Iの半分と短い。このため、例えばDLLの遅延回路を構成するトランジスタのしきい値VTが高く、立ち上がり波形がなるると、出力信号はピークに達する前に立ち下がり始めるなどして、高いタイミング精度を保つことは困難となる。

【0033】そして、DDR-IIでは、遅延回路は4個設けられており、遅延回路の動作電流は、DDR-Iの遅延回路の4倍となり、消費電力が増大する。

【0034】次に、図14に示した構成の遅延回路は、インバータINV11、INV12、…を繰り返し接続し、出力タップを備えた構成とされる。図14において、2つ直列に接続されたインバータが単位遅延回路をなしている。タップと出力ノード間に接続されるトライステートインバータINV17、INV18、INV19（あるいは、トランジスタゲートであってもよい）

は、それぞれカウンタからのタップ選択信号C1、C2、C3の論理値に従って、出力イネーブル、出力ディスエーブル（出力がハイインピーダンス状態）とされる。このように、タップ選択信号C1、C2、C3で出力タップを選択し、選択されたタップからクロックが出力される。

【0035】そして、図18、図20において、位相検知器33(23)は、クロックCLKFB1(CLKFBH)と、基準クロックCLK1との位相の進み、遅れを検知し、カウンタ34(24)を更新している。そして、例えば装置のパワーダウン前後の誤判定を防ぐため、位相検知器33(23)では、信号CLKFB1(CLKFBH)のタイミングで検知する。遅延回路内を伝搬する信号が、タップから出力されるタイミングで、タップが切り替わると、データ出力用クロックCLKOEに、ハザード、異常パルスが生じ、出力タイミングずれや、誤動作の可能性が生じる。これは、信号CLKFB1/CLKFBHの遷移のタイミングで、カウンタ34/24のカウント値が変更され、タップが切り替わるためである。

【0036】図15は、図14に示した遅延回路のタップ切替時の動作を説明するための図である。図15に示すように、信号がD1からD2を進行する間に、タップ選択信号C1、C2、C3のうち、C1がHighレベルからLowレベルに、C2がLowレベルからHighレベルに切り替わり、タップD1からD2に切替られると、出力信号に、ハザードが生じる。

【0037】図18、図20に示した入出力補償用DLL3A、3Bにおいて、遅延回路31(32)は、その信号の伝搬に、例えば2～3nsかかり、クロックサイクルが短い場合、遅延回路31(32)を信号が伝搬中に、タップが切り替えられる。また、図20のtCK/2生成DLL2Bでは、クロックサイクルの前半のCLK1、及びCLKHF信号が、遅延回路21、22を伝搬中に、タップの切替えが行われる。このため、遅延回路の出力信号にハザードが生じる。

【0038】したがって、本発明が解決しようとする課題は、消費電流の低減を図り、DDR-II仕様の装置に用いて好適とされるDLL及び半導体集積回路装置を提供することにある。

【0039】また本発明が解決しようとする課題は、タップ切替時のハザードの発生を抑止し、出力タイミングずれや誤動作を防止するDLL及び半導体集積回路装置を提供することにある。

【0040】

【課題を解決するための手段】課題を解決するための手段を提供する本発明に係るDLL装置は、その一つのアスペクトにおいて、入力信号を直列に接続された第1及び第2の遅延回路で遅延させた信号と、前記入力信号の位相が合うように、前記第1及び第2の遅延回路の遅延

時間を調整することで、前記第1の遅延回路から、前記入力信号を前記入力信号の2分の1周期分、遅延させた信号を出力する遅延ロックループ装置において、前記入力信号を分周する分周回路を備え、前記分周回路の出力信号を前記第1及び第2の遅延回路で遅延させ、前記分周回路の出力信号と前記第2の遅延回路の出力信号の位相が合うように前記第1及び第2の遅延回路の遅延時間を調整する制御信号を出力する第1の遅延調整手段を備えている。

【0041】また本発明に係るD L L装置は、前記入力信号に基づき、データ出力用のクロック信号を生成し、複数のデータを選択出力するマルチプレクサに対して前記データ出力用のクロックを供給する第2の遅延ロックループ装置であって、前記分周回路の出力信号を入力して遅延させ第1の信号を出力する第3の遅延回路と、前記遅延ロックループ装置の出力信号を入力して遅延させ第2の信号を出力する第4の遅延回路と、前記第3及び第4の遅延回路からの前記第1及び第2の信号を入力し、前記第1及び第2の信号のそれぞれの立ち上がりエッジで、立ち上がりと立ち下がりのタイミングが規定され、前記第1及び第2の信号の立ち下がりエッジで、立ち上がりと立ち下がりのタイミングが規定される信号を、前記データ出力用のクロックとして出力する回路と、前記データ出力用のクロックを少なくとも前記マルチプレクサの遅延時間分遅延させた信号と、前記入力信号との位相が合うように、前記第3及び第4の遅延回路の遅延時間を調整する制御信号を出力する第2の遅延調整手段を備えている。さらに、本発明に係るD L L装置においては、前記第1の遅延調整手段からの制御信号を、前記第1の遅延回路の出力信号でラッチして前記第1及び第2の遅延回路に供給する第1のラッチ回路を備えた構成としてもよい。また、前記第2の遅延調整手段からの制御信号を、前記データ出力用のクロックでラッチして前記第3及び第4の遅延回路に供給する第2のラッチ回路を備えた構成としてもよい。

【0042】本発明は、他のアスペクトにおいて、クロック信号を入力する入力バッファと、前記入力バッファから出力されるクロック信号を入力し、前記入力したクロック信号を2分周して出力する分周回路と、前記分周回路から出力される分周クロックを入力とし、複数の出力タップのうちから選択された出力タップから遅延させた信号を出力する第1の遅延回路と、前記第1の遅延回路の出力信号を入力とし、複数の出力タップのうちから選択された出力タップから遅延させた信号を出力する第2の遅延回路と、前記分周クロックと、前記第2の遅延回路の出力との位相差を検出する位相検知器と、前記位相検知器の出力によりアップ、ダウンカウントし前記第1、第2の遅延回路の出力タップを切替える信号を出力する第1のカウンタと、を備えた第1の遅延ロックループ回路と、前記分周回路から出力される分周クロックを

入力とし、複数の出力タップのうちから選択された出力タップから遅延させた信号を出力する第3の遅延回路と、前記第1の遅延回路の出力信号を入力とし、複数の出力タップのうちから選択された出力タップから遅延させた信号を出力する第4の遅延回路と、前記第3、第4の遅延回路の出力信号を入力し、立ち上がりと立ち下がりが、前記第3、第4の遅延回路のそれぞれの出力信号の立ち上がりのタイミングで規定されるとともに、前記第3、第4の遅延回路のそれぞれの出力信号の立ち下がりエッジで規定される信号を出力する第1のマルチプレクサと、前記第1のマルチプレクサの出力を入力して出力し、前記第1のマルチプレクサの出力を選択信号として、データを選択する第2のマルチプレクサと同一の遅延時間を有するダミーの第3のマルチプレクサと、前記第3のマルチプレクサの出力を入力し、出力バッファと同じ遅延時間を有するダミーの第1のバッファと、前記第1のバッファの出力を入力し前記入力バッファと同じ遅延時間を有するダミーの第2のバッファと、を備え、前記入力バッファの出力と、前記ダミーのバッファの出力との位相差を検出する第2の位相検知器と、前記第2の位相検知器の出力によりアップ、ダウンカウントし、前記第3、第4の遅延回路の出力タップを切替える信号を出力する第2のカウンタと、を備えた第2の遅延ロックループ回路と、を備え、前記第2のマルチプレクサは、前記第1のマルチプレクサの出力信号を入力し、入力される複数のデータの一つを選択し、前記出力バッファが、前記第2のマルチプレクサの出力信号を入力して出力端子から出力する。

【0043】本発明は、さらに他のアスペクトにおいて、クロック信号を入力する入力バッファと、前記入力バッファから出力されるクロック信号を入力とし、複数の出力タップのうちから選択された出力タップから遅延させた信号を出力する第1の遅延回路と、前記第1の遅延回路の出力信号を入力とし、複数の出力タップのうちから選択された出力タップから遅延させた信号を出力する第2の遅延回路と、前記入力バッファの出力クロックと、前記第2の遅延回路の出力との位相差を検出する位相検知器と、前記位相検知器の出力によりアップ、ダウンカウントし、前記第1、第2の遅延回路の出力タップを切替える信号を出力する第1のカウンタと、前記第1の遅延回路の出力信号をラッチし、前記第1、第2の遅延回路に供給する第1のアライナと、を備えた第1の遅延ロックループ回路と、前記入力バッファ回路から出力されるクロック信号を入力とし、複数の出力タップのうちから選択された出力タップから遅延させた信号を出力する第3の遅延回路と、前記第1の遅延回路の出力信号を入力とし、複数の出力タップのうちから選択された出力タップから遅延させた信号を出力する第4の遅延回路と、前記第3、第4の遅延回路の出力信号を入力し、

立ち上がりと立ち下がりが、前記第3、第4の遅延回路のそれぞれの出力信号の立ち上がりのタイミングで規定されるとともに、前記第3、第4の遅延回路のそれぞれの出力信号の立ち下がりエッジで規定される信号を出力する第1のマルチプレクサと、前記第1のマルチプレクサの出力を入力して出力し、前記第1のマルチプレクサの出力を選択信号として、データを選択する第2のマルチプレクサと同一の遅延時間を有するダミーの第3のマルチプレクサと、前記第3のマルチプレクサの出力を入力し、出力バッファと同じ遅延時間を有するダミーの第1のバッファと、前記第1のバッファの出力を入力し前記入力バッファと同じ遅延時間を有するダミーの第2のバッファと、を備え、前記入力バッファの出力と、前記ダミーのバッファの出力との位相差を検出する第2の位相検知器と、第2の位相検知器の出力によりアップ、ダウンカウントし、前記第3、第4の遅延回路の出力タップを切替える信号を出力する第2のカウンタと、前記第2のマルチプレクサ回路の出力信号をラッチ信号として入力して、前記第2のカウンタの出力をラッチし、前記第3、第4の遅延回路に供給する第2のアライナと、を備えた第2の遅延ロックループ回路と、を備え、前記第2のマルチプレクサは、前記第1のマルチプレクサの出力信号を入力し、入力される複数のデータの一つを選択し、前記出力バッファが、前記第2のマルチプレクサの出力信号を入力して出力端子から出力する。

【0044】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、その好ましい一実施の形態において、図1を参照すると、入力信号を直列に接続された第1及び第2の遅延回路(21、22)で遅延させた信号と、前記入力信号との位相が一致するように、第1、第2の遅延回路(21、22)の遅延時間を調整することで、第1の遅延回路(21)から入力信号の2分の1周期分遅延させた信号を出力する、DCC機能用の遅延ロックループ装置(2)において、前記入力信号を分周する分周回路(6)を備え、分周回路(6)の出力信号を、第1、第2の遅延回路(21、22)で遅延させ、分周回路(6)の出力信号と第2の遅延回路(22)の出力信号の位相を合わせるように第1、第2の遅延回路(21、22)の遅延時間を調整する第1の遅延調整手段(23、24)を備えている。

【0045】さらに、入力信号に基づき、データ出力用のクロック信号(CLKOE)を生成し、複数のデータを選択出力するマルチプレクサ(4)に対して前記データ出力用のクロック(CLKOE)を供給する第2の遅延ロックループ装置(3)であって、分周回路(6)の出力信号を入力して遅延させ第1の信号(OUTR)を出力する第3の遅延回路(31)と、前記遅延ロックループ装置(2)の出力信号を入力して遅延させ第2の信号(OUTF)を出力する第4の遅延回路(32)と、

第3、第4の遅延回路(31、32)からの第1、第2の信号(OUTR、OUTF)を入力し、第1、第2の信号のそれぞれの立ち上がりエッジで、立ち上がりと立ち下がりのタイミングが規定され、第1、第2の信号のそれぞれの立ち下がりエッジで、立ち上がりと立ち下がりのタイミングが規定される信号を、前記データ出力用のクロック(CLKOE)として出力する回路(35A)と、データ出力用のクロック(CLKOE)を少なくともマルチプレクサ(4)の遅延時間分遅延させた信号と、前記入力信号との位相が一致するように前記第3、第4の遅延回路の遅延時間を調整する第2の遅延調整手段(33、34)を備えている。

【0046】より詳細には、本発明に係る半導体集積回路装置は、その好ましい一実施の形態において、クロック信号(CLK/CLKB)を入力する入力バッファ(1)と、入力バッファ(1)から出力されるクロック信号を入力し、入力したクロック信号を2分周した分周クロック(CLK2)を出力する分周回路(6)と、分周回路(6)から出力される分周クロック(CLK2)を入力とし、互いに異なる遅延時間の複数の出力タップのうち選択された出力タップより、分周クロック(CLK2)を遅延させた信号(CLKHF)を出力する遅延回路(21)と、遅延回路(21)の出力信号(CLKHF)を入力とし、互いに異なる遅延時間の複数の出力タップのうち選択された出力タップより、出力信号(CLKFBH)を遅延させた信号(CLKFBH)を出力する遅延回路(22)と、分周クロック(CLK2)と、遅延回路(22)の出力信号(CLKFBH)とを入力し、これらの信号の位相差を検出する位相検知器(23)と、位相検知器(23)の出力を受けて、位相の進み、遅れに従い、アップ又はダウンカウントし、第1、第2の遅延回路(21、22)の出力タップを切替える信号を出力するカウンタ(24)と、を備えたDLL(tCK/2生成DLL)(2)を備えている。

【0047】さらに、本発明に係る半導体集積回路装置は、その好ましい一実施の形態において、分周回路(6)から出力される分周クロック(CLK2)を入力とし、互いに異なる遅延時間の複数の出力タップのうち選択された出力タップより、分周クロック(CLK2)を遅延させた信号(OUTR)を出力する遅延回路(31)と、遅延回路(21)の出力信号(CLKHF)を入力とし、互いに異なる遅延時間の複数の出力タップのうち選択された出力タップより、信号(CLKHF)を遅延させた信号(OUTF)を出力する遅延回路(32)と、遅延回路(31、32)の出力信号(OUTR、OUTF)を入力し、パルスの立ち上がりと立ち下がりのタイミングが、出力信号(OUTR、OUTF)のそれぞれの立ち上がりエッジで規定される信号を出力するとともに、次のパルスの立ち上がりと立ち下がりのタイミングが、出力信号(OUTR、OUTF)のそれ

それの立ち下がりエッジで規定される信号を出力するマルチプレクサ(35A)と、マルチプレクサ(35A)の出力信号(CLKOE)を入力し、マルチプレクサ(4)と同一の遅延時間を有するダミーのマルチプレクサ(36)と、ダミーマルチプレクサ(36)の出力信号を入力し、出力バッファ(5)と同じ遅延時間を有するダミーの第1のバッファ(37)と、第1のバッファ(37)の出力信号を入力し入力バッファ(1)と同じ遅延時間を有するダミーの第2のバッファ(38)と、入力バッファ(1)の出力信号CLK1と、ダミーの第2のバッファ(38)の出力信号(CLKFBI)とを入力しこれらの信号の位相差を検出する位相検知器(33)と、位相検知器(33)の出力を受けて、位相の進み、遅れに従い、アップ、又はダウンカウントし、遅延回路(31、32)の出力タップを切替える信号を出力するカウンタ(34)と、を備えたDLL(入出力補償DLL)(3)と、を備えている。

【0048】マルチプレクサ(4)は、マルチプレクサ(35A)の出力信号(CLKOE)を、データ出力用クロック信号として入力し、複数のデータ(4つのデータ)の一つを選択する。出力バッファ(5)はマルチプレクサ(4)の出力信号を入力して出力端子から出力する。

【0049】マルチプレクサ(35A)は、遅延回路(31)の出力信号(OUTR)を入力し、出力信号(OUTR)の立ち上がりと立ち下がり遷移を検出し、あらかじめ定められた所定幅のパルスを出力する第1の信号生成回路(図12の301、302、303)と、遅延回路(32)の出力信号(OUTF)の立ち上がりと立ち下がり遷移を検出し、あらかじめ定められた所定幅のパルスを出力する第2の信号生成回路(図12の309、310、311)と、高位側電源VDDと低位側電源GND間に直列に接続され、接続点から出力信号を出力する互いに逆導電型の第1、第2のトランジスタ(MP21、MN22)とを備え、第1の信号生成回路の出力の反転信号が第1のトランジスタ(MP21)の制御端子に供給され、第2の信号生成回路の出力を遅延させた信号が第2のトランジスタ(MN22)の制御端子に供給される。

【0050】本発明は、図6を参照すると、別の実施の形態において、図18に示したDLLの構成に、遅延回路(31)から出力される信号(CLKOE)をラッチタイミング信号として入力して、カウンタ(34)から出力されるタップ選択信号をラッチし、遅延回路(31)に供給するアライナ(39)をさらに備えた構成としてもよい。

【0051】また、本発明は、さらに別の実施の形態において、図5を参照すると、遅延回路(21)の出力信号(CLKHF)をラッチタイミング信号として入力して、カウンタ(24)から出力されるタップ選択信号を

ラッチし、遅延回路(21、22)に供給するアライナ(25)を備え、マルチプレクサ(35B)から出力される信号(CLKOE)をラッチタイミング信号として入力して、カウンタ(34)から出力されるタップ選択信号をラッチし、遅延回路(31、32)に供給するアライナ(39)を備えた構成としてもよい。

【0052】本発明は、その一実施の形態において、図3を参照すると、入出力補償DLL(3)の遅延回路(31)を、粗調整の遅延回路(31-1)と、前記粗調整の遅延回路(31-1)の出力を入力とする微調整遅延回路(31-2)と、粗調整の遅延回路(31-1)の出力をインバータで反転した信号を入力とする微調整遅延回路(31-3)と、を備え、遅延回路(32)を、粗調整の遅延回路(32-1)と、粗調整の遅延回路(32-1)の出力を入力とする微調整遅延回路(32-2)と、粗調整の遅延回路(32-1)の出力をインバータで反転した信号を入力とする微調整遅延回路(32-3)と、を備えた構成としてもよい。この場合、マルチプレクサ(35-1)は、各微調整遅延回路から出力される第1乃至第4の信号(OUTR1、OUTR2、OUTF1、OUTF2)を入力し、第1、第4の信号(OUTR1、OUTF2)の立ち上がりエッジで、立ち上がりと立ち下がりのタイミングが規定されるクロック信号と、第2、第3の信号(OUTR2、OUTF1)の立ち下がりエッジで、立ち上がりと立ち下がりのタイミングが規定されるクロック信号を出力する。

【0053】tCK／生成用のDLL(2)の遅延回路(21)を、粗調整の遅延回路(21-1)と、粗調整の遅延回路(21-1)の出力を入力とする微調整遅延回路(21-2)と、粗調整の遅延回路(21-1)の出力をインバータで反転した信号を入力とする微調整遅延回路(21-3)と、微調整遅延回路(21-2、21-3)の出力信号を入力し、単相の信号を合成して出力するマルチプレクサ(26-1)を備え、遅延回路(22)を、粗調整の遅延回路(22-1)と、粗調整の遅延回路(22-1)の出力を入力とする微調整遅延回路(22-2)と、粗調整の遅延回路(22-1)の出力をインバータで反転した信号を入力とする微調整遅延回路(22-3)と、微調整遅延回路(22-2、22-3)の出力信号を入力し、単相の信号を合成して出力するマルチプレクサ(26-2)を備えた構成としてもよい。

【0054】本発明は、その一実施の形態において、図3を参照すると、入力バッファ(1)からのクロック信号と、分周回路(6)からの分周クロックとのいずれかを選択して、第1の遅延回路(21)、及び前記第1の位相検知器(23)に供給する第1の切替スイッチ(SW1)を備えた構成としてもよい。また、入力バッファ(1)から出力されるクロック信号(CLK1)とは相

補のクロック信号 (CLK1B) を生成する第2の入力バッファ (1B) と、前記第2の入力バッファからのクロック信号を分周する第2の分周回路 (6A) と、前記第2の入力バッファからのクロック信号と、前記第2の分周回路からの分周クロックとのいずれかを選択して、前記第4の遅延回路に供給する第2の切替スイッチ (SW2) を備えた構成としてもよい。

【0055】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の一実施例の構成を示す図である。図1を参照すると、本発明の一実施例は、図20に示した従来の装置の回路構成に、入力バッファ1の出力信号CLK1を2分周して出力する分周回路6をさらに備え、分周回路6で2分周されたクロックCLK2 (周期=2×tCK) がtCK/2生成DLL回路2の遅延回路21、位相検知器23、入出力補償DLL回路3の遅延回路31、位相検知器33に供給されており、マルチプレクサ35Aは、遅延回路31、32の出力信号OUTR、OUTFの立ち上がりと立ち下がりの両エッジで動作し、信号CLKOE (データ出力用クロック) を出力する。マルチプレクサ35Aから出力される信号CLKOEは、信号OUTRとOUTFのそれぞれの立ち上がりエッジで、立ち上がりと立ち下がりのタイミングが規定されるパルスと、これに統いて、信号OUTRとOUTFのそれぞれの立ち下がりエッジで、立ち上がりと立ち下がりのタイミングが規定されるパルスからなる。これに対して、図20に示したマルチプレクサ35Bは、遅延回路31、32の出力信号OUTR、OUTFの立ち上がりエッジで動作する。

【0056】より詳細には、図1を参照すると、不図示の入力端子に接続され、クロック信号CLKを入力する入力バッファ1と、入力バッファ1から出力されるクロック信号CLKを入力し、クロック信号CLKを2分周した分周クロックCLK2を出力する分周回路6と、tCK/2生成DLL (Delay Lock Loop) 2と、入出力補償DLL3と、マルチプレクサ4と、不図示のデータ出力端子に出力が接続されている出力バッファ5と、を備えている。

【0057】tCK/2生成DLL2は、分周回路6から出力される分周クロックCLK2を入力とし、複数の出力タップのうち選択された出力タップより、分周クロックCLK2を遅延させた信号CLKHFを出力する遅延回路21と、遅延回路21の出力信号CLKHFを入力とし、複数の出力タップのうち選択された出力タップより、信号CLKHFを遅延させた信号CLKFBHを出力する遅延回路22と、分周クロックCLK2と、遅延回路22の出力信号CLKFBHとの位相差を検出する位相検知器23と、位相検知器23の出力によりアップ、ダウンカウントし、遅延回路21、22の出力タッ

プを切替えるタップ選択信号を出力するカウンタ24と、を備える。カウンタ24は、遅延回路21、22をさらに遅らせる必要がある場合には、例えばアップカウントして、より大な遅延時間の出力タップを選択するためのタップ選択信号を出し、進ませる必要がある場合には、例えばダウンカウントして、より小な遅延時間の出力タップを選択するためのタップ選択信号を出力する。

【0058】入出力補償DLL3は、分周回路6から出力される分周クロックCLK2を入力とし、複数の出力タップのうち選択された出力タップより、分周クロックCLK2を遅延させた信号OUTR (周期=2×tCK; 但し、tCKはクロックCLKの一周期) を出力する遅延回路31と、遅延回路21の出力信号CLKHFを入力とし、複数の出力タップのうち選択された出力タップより、信号CLKHFを遅延させた信号OUTF (周期=2×tCK) を出力する遅延回路32と、遅延回路31、32の出力信号OUTR、OUTFを入力し、信号OUTRの立ち上がりのタイミングで立ち上がり、信号OUTFの立ち上がりのタイミングで立ち下がり、つづいてOUTRの立ち下がりのタイミングで立ち上がり、OUTFの立ち下がりのタイミングで立ち下がる信号CLKOE (データ出力用クロック) を出力するマルチプレクサ35Aと、マルチプレクサ35Aの出力信号CLKOEを入力し、マルチプレクサ4と同一の遅延時間を有するダミーのマルチプレクサ36と、マルチプレクサ36の出力を入力し、出力バッファ5と同じ遅延時間を有するダミーのバッファ37と、バッファ37の相補出力RCLK、RCLKBを入力して単相の信号CLKFB1を出力し、入力バッファ1と同じ遅延時間を有するダミーのバッファ38と、入力バッファ1の出力CLK1と、ダミーのバッファ38の出力信号CLKFB1との位相差を検出する位相検知器33と、位相検知器33の出力によりアップ、ダウンカウントし、遅延回路31、32の出力タップを切替えるタップ選択信号を出力するカウンタ34と、を備える。カウンタ34は、遅延回路31、32をさらに遅らせる必要がある場合には、例えばアップカウントして、より大な遅延時間の出力タップを選択するためのタップ選択信号を出力し、進ませる必要がある場合には、例えばダウンカウントして、より小な遅延時間の出力タップを選択するためのタップ選択信号を出力する。

【0059】マルチプレクサ4は、マルチプレクサ35Aの出力信号CLKOEを入力し、各エッジ毎に4つのデータのうちの一つを順次選択し、出力バッファ5は、マルチプレクサ4の出力信号DQjを出力端子から出力する。マルチプレクサ4と同一の遅延時間を有するダミーのマルチプレクサ36は、HighレベルとLowレベルの固定値を入力し、信号CLKOEの立ち上がり、及び立ち下がりの遷移で選択出力する。

【0060】図2は、図1に示した回路の動作を説明するためのタイミング図である。図2を参照して、図1の回路の動作について説明する。

【0061】 $t_{CK}/2$ 生成DLL2において、遅延回路21、22は、分周クロックCLK2（クロックCLKの2倍の周期）を遅延させ、遅延回路22の出力信号CLKFBHのエッジが、分周クロックCLK2のエッジと一致するように調整される。

【0062】遅延回路21、22の遅延時間を t_d とすると、

$$2t_d = t_{CK}$$

とされ、信号CLKHFは、分周クロックCLK2から $t_{CK}/2$ 遅れた、周期 $2 \times t_{CK}$ の信号である。

【0063】マルチプレクサ35Aは、分周クロックCLK2を遅延回路31で t_d0 遅延させた出力信号OUTRと、遅延回路21から出力されるCLKHF（周期 $2t_{CK}$ ）を、遅延回路32にて、 t_d0 遅延させた出力信号OUTFを入力し、信号OUTRの立ち上がりのタイミングで立ち上がり、OUTFの立ち上がりのタイミングで立ち下がり、信号OUTRの立ち下がりのタイミングで立ち上がり、信号OUTFの立ち下がりのタイミングで立ち下がる信号CLKOE（データ出力用クロック）を出力する。この信号CLKOEのサイクルは、 t_{CK} とされる。なお、信号OUTR（周期は $2 \times t_{CK}$ ）のHighレベル期間と、信号OUTRから $t_{CK}/2$ 遅れた信号OUTF（周期は $2 \times t_{CK}$ ）の立ち上がりのタイミングは重なり、信号OUTRの立ち下がりのタイミングと信号OUTFのHighレベル期間は重なり、信号OUTRの立ち上がりのタイミングで立ち上がり、信号OUTFの立ち上がりのタイミングで立ち下がり、Highレベルの信号OUTRの立ち下がりのタイミングで立ち上がり、HighレベルのOUTFの立ち下がりのタイミングで立ち下がる、信号CLKOEが生成される。

【0064】クロックCLKOEは、マルチプレクサ4と同一の遅延時間のマルチプレクサ36、出力バッファ5と同一の遅延時間のバッファ37、入力バッファ1と同一の遅延時間のバッファ38を伝搬し、信号CLKFB1として、位相検知器33に入力され、位相検知器33でクロックCLK1と信号CLKFB1との位相差が検出され、位相検知器33の出力に基づき、アップ、ダウンカウントするカウンタ34を備え、カウンタ34の出力に基づき、遅延回路31、32のタップの切替が行われる。

【0065】マルチプレクサ4は、データ出力用クロックをなす信号CLKOEの立ち上がり、立ち下がりのタイミングで出力するデータを切り替える。

【0066】信号CLKHFは、分周クロックCLK2の立ち上がりエッジから遅延回路21の遅延時間 $t_{CK}/2$ 遅れて立ち上がり（図2の矢線（1））、信号CL

KFBHは、信号CLKHFから、遅延回路21の遅延時間 $t_{CK}/2$ 遅れて遷移する（図2の矢線（2））。

【0067】信号OUTRは、分周クロックCLK2の立ち上がりエッジから、遅延回路31での遅延時間分遅れて立ち上がり（図2の矢線（3））、分周クロックCLK2の立ち下がりエッジから、遅延回路31での遅延時間分遅れて立ち下がる（図2の矢線（5））。

【0068】信号OUTFは、信号CLKHFの立ち上がりから、遅延回路32での遅延時間分遅れて立ち上がり（図2の矢線（4））、信号CLKHFの立ち下がりから、遅延回路32での遅延時間分遅れて立ち下がる（図2の矢線（6））。

【0069】データ出力用クロックCLKOEは、信号OUTRの立ち上がりのタイミングで立ち上がり（図2の矢線（7））、 $t_{CK}/2$ 遅れた信号OUTFの立ち上がりで立ち下がり（図2の矢線（8））。

【0070】つづいてデータ出力用クロックCLKOEは、信号OUTRの立ち下がりで立ち上がり（図2の矢線（9））、 $t_{CK}/2$ 遅れた信号OUTFの立ち下がりで立ち下がる（図2の矢線（10））。

【0071】よって、データ出力用クロックCLKOEのパルス幅は、

$$t_d0 + t_{CK}/2 - t_d0 = t_{CK}/2$$

となる。

【0072】マルチプレクサ36、バッファ37、38のそれぞれの遅延時間を t_d3 、 t_d2 、 t_d1 とした場合、信号CLKFB1の立ち上がりエッジは、信号CLKOEの立ち上がりエッジから、マルチプレクサ36、バッファ37、38の遅延時間を加算した時間 $t_d1 + t_d2 + t_d3$ 分遅れている（図2の（11）参照）。

【0073】信号CLKFB1の立ち上がりエッジは、現在の信号CLKFB1の元となったクロックCLKよりも、nサイクル後のクロックCLK1の立ち上がりエッジ（クロックCLKのサイクルの開始時点から入力バッファ1の遅延時間 t_d1 分遅れている）と一致するようく制御されているため、元となる入力クロックCLKの立ち上がりのタイミングを基準として、信号CLKFB1の立ち上がりエッジは、

$$n t_{CK} + t_d1$$

となる。

【0074】したがって、信号CLKOEの立ち上がりエッジのタイミングは、
 $n t_{CK} + t_d1 - (t_d1 + t_d2 + t_d3) = n t_{CK} - t_d2 - t_d3$
 となる。

【0075】マルチプレクサ4を経由したデータ出力伝搬経路において、信号CLKOEの立ち上がりエッジから、マルチプレクサ4の出力の遅延時間は t_d3 、出力バッファ5の遅延時間が t_d2 であることから（図2の

(12))、データ出力信号DQjの出力タイミングは、

$$(n t CK - t d 2 - t d 3) + t d 3 + t d 2 = n t CK$$

すなわち、クロックCLKのクロックサイクルの開始時点(クロックCLKの立ち上がり)とデータ出力信号DQjの出力タイミングが一致する。

【0076】またクロックCLKOEの立ち下がりエッジのタイミングは、立ち上がりエッジから $t CK / 2$ 遅れており、次の第2データ出力信号DQjの出力タイミングは、クロックCLKのクロックサイクルの開始時点から、 $t CK / 2$ のタイミングとなる(図2の(14))。

【0077】さらに、次のクロックCLKOEの立ち上がりエッジから(前回の立ち上がりから $t CK$ 遅れる)、マルチプレクサ4を経由したデータ出力伝搬経路において、マルチプレクサ4の出力の遅延時間は $t d 3$ 、出力バッファ5の遅延時間が $t d 2$ であることから、第3のデータ出力信号DQjの出力タイミングは、

$$(n t CK - t d 2 - t d 3) + t d 3 + t d 2 + t C K = n t CK + t CK$$

となり、クロックCLKの次のクロックサイクルの開始時点のタイミングとなる(図2の(16))。

【0078】またクロックCLKOEの立ち下がりエッジのタイミングは、立ち上がりエッジから $t CK / 2$ 遅れており、第4のデータ出力信号DQjの出力タイミングは、クロックCLKの次のクロックサイクルの開始時点から、 $t CK / 2$ のタイミングとなる(図2の(18))。以上により、図2に示した通りの動作が行われる。

【0079】図2に示すように、クロックCLKの2クロックサイクルに、信号CLKOEに基づき、4つのデータ出力信号が出力され、各データ出力期間は等しく $t CK / 2$ とされる。

【0080】次に、本発明の第2の実施例について説明する。図3は、本発明の第2の実施例の構成を示す図である。図3を参照すると、この実施例では、 $t CK / 2$ 生成DLL2において、入力クロックCLK1を分周回路6で2分周したクロック、または通常(分周しない)クロックをスイッチSW1で切替えて使用可能としており、入出力補償DLL3においても、入力クロックCLK1B(クロックCLK1の相補信号)を分周回路6Aで2分周したクロック、または通常(分周しない)クロックを、スイッチSW2で、切替えて使用可能としている。また入出力補償DLL3においては、データコレクション(DCC)機能を通さないように、スイッチSW4で選択することもできる。以下、図1に示した実施例との相違点について説明する。

【0081】 $t CK / 2$ 生成DLL2において、図1の遅延回路21は、粗遅延回路(CDL)21-1と、粗遅延回路(CDL)21-2と、粗遅延回路(CDL)21-3を備え、微調遅延回路21-2、21-3の出力OUTA1、OUTA2は、マルチプレクサ26-1に入力されて单相(シングルエンド)の信号CLKHFとして出力される。図1の遅延回路22も、粗遅延回路(CDL)22-1と、粗遅延回路(CDL)22-2の出力の正転出力と、インバータ27-2による反転出力を入力とする微調遅延回路22-2、22-3を備えて構成され、微調遅延回路22-2、22-3の出力OUTB1、OUTB2はマルチプレクサ26-2に入力されて、单相(シングルエンド)の信号CLKFBHとして出力され、位相検知器23に入力される。

【0082】位相検知器23の出力を入力とするカウンタ24は、粗遅延回路21-1、22-1と微調遅延回路21-2、21-3、22-2、22-3のタップの切替信号を出力する。

【0083】入出力補償DLL回3においても、図1の遅延回路31は、粗遅延回路(CDL)31-1と、粗遅延回路(CDL)31-2の出力の正転出力と、インバータ40-1による反転出力を入力とする微調遅延回路31-2、31-3を備え、微調遅延回路31-2、31-3の出力OUTR1、OUTR2はマルチプレクサ35-2で、单相の信号CLKREPとして出力される。図1の遅延回路32も、粗遅延回路(CDL)32-1と、粗遅延回路(CDL)32-2の出力の正転出力と、インバータ40-2による反転出力を入力とする微調遅延回路32-2、32-3を備え、微調遅延回路32-2、32-3の出力OUTF1、OUTF2は、微調遅延回路31-2、31-3の出力OUTR1、OUTR2とともに、マルチプレクサ35-1に入力され、マルチプレクサ35-1は、データ出力用のクロックCLKOEを出力し、マルチプレクサ4に供給され、マルチプレクサ4では、データ出力用のクロックCLKOEに基づき、データを選択出し、出力バッファ9からデータDQjを出力する。

【0084】マルチプレクサ35-2は、信号OUTR1とOUTR2を入力し、それぞれの立ち上がりエッジから、立ち上がりと立ち下がりのタイミングが規定される单相の信号CLKREPを出力し、信号CLKREPは、マルチプレクサ4と同一の遅延時間のダミーのマルチプレクサ36に入力され、マルチプレクサ36の出力信号は、出力バッファ5と同一の遅延時間のダミーのバッファ37に入力され、相補クロックRCLK、RCLKBを出力し、相補クロックRCLK、RCLKBを入力し、入力バッファ1と同一の遅延時間のダミーのバッファ38を備え、バッファ38は单相の信号CLKFB1を出力し、信号CLKFB1は位相検知器33に入力

される。

【0085】位相検知器33の出力を入力とするカウンタ34は、粗遅延回路31-1、32-1と微調整遅延回路31-2、31-3、32-2、32-3のタップの切替信号を出力する。

【0086】図3に示す構成において、DCC機能を用いない場合、スイッチSW4において、遅延回路32-1の入力として、tCK/2生成DLL2から出力されるCLKHFに接続せずに、スイッチSW2の出力が選択される。入出力補償DLL3においては、スイッチSW2で分周回路6Aの分周出力又は入力クロックCLKB1Bが選択される。

【0087】なお、入力バッファ1Bは、入力バッファ1の入力端子と逆相入力とされ、出力は、入力バッファ1の出力CLK1と逆相とされる。一方、DCC機能を用いない場合、スイッチSW4において、遅延回路32-1の入力として、tCK/2生成DLL2から出力される信号CLKHFの正相、又は逆相信号が、スイッチSW3で選択される。

【0088】tCK/2生成DLL2に入力されるクロックとして、スイッチSW1で2分周クロックCLK2が選択された場合、入出力補償DLL3でも、スイッチSW2において、2分周クロックが選択される。この場合の、タイミング動作は、図4に示すようなものとなる。図2に示したように、信号OUTR、OUTFの両エッジを用いる代わりに、本実施例では、図4に示すように、信号OUTR1、OUTR2、OUTF1、OUTF2が出力され、信号OUTR1、OUTR2、OUTF1、OUTF2の立ち上がりエッジを用いて信号CLKOEが作成される(図4の矢線(7)、(9)と、(10)、(11)参照)。

【0089】tCK/2生成DLL2で通常クロックが選択され、入出力補償DLL3でも通常クロックが選択された場合の動作は、図20に示したものと同様とされる。

【0090】スイッチSW4で、No-DCCを選択し、DCC機能が選択されない場合、入出力補償DLL3のみが動作し、入出力補償DLL3は、入力バッファ1からのクロックCLK1に対して、粗遅延回路31-1と、微調整遅延回路31-2、31-3からなり、入力バッファ1Bからの逆相クロックCLK1Bに対して、粗遅延回路32-1と、微調整遅延回路32-2、32-3からなるほかは、図18に示した構成と基本的に同様とされる。

【0091】次に、本発明の第3の実施例について説明する。図5は、本発明の第3の実施例の構成を示す図である。図5を参照すると、この実施例は、図20に示した構成に、カウンタ24、34からのタップ選択信号を、ラッチするラッチ回路(アライナ)25、39を備えたものである。

【0092】tCK/2生成DLL回路2'において、アライナ25は、カウンタ24からのタップ選択信号を、遅延回路21の出力信号CLKHFの立ち上がりエッジでラッチする構成とされる。この実施例では、アライナ25のラッチタイミングが重要であり、遅延回路21の出力信号CLKHFの立ち上がりエッジを用いたことで、タップ切替において、ハザードフリーとされる。

【0093】信号CLKHFの立ち上がりエッジでアライナ25はカウンタ24からのタップ選択信号をラッチし、ラッチされた信号で遅延回路21、22のタップを切替るため、図14を参照して説明したような、ハザードは生じない。すなわち、遅延回路21の出力タップから出力される信号CLKHFの立ち上がり時には、遅延回路21、22には、図14のタップ(D1～D2)を伝搬するクロックパルスは存在せず(遅延回路21では出力タップから出力され、遅延回路22には、まさしく信号が入力されるところである)、この時点で、タップの切替を行っているためである。

【0094】入出力補償DLL3'において、アライナ39は、カウンタ34からのタップ選択信号を、信号CLKOEでラッチする構成とされる。アライナ39は、出力信号CLKOEの立ち上がりエッジでタップ選択信号をラッチし、ラッチされた信号で遅延回路31、32のタップを切替るため、図13及び図14を参照して説明したような、ハザードは生じない。すなわち、出力CLKOEの立ち上がり時には、信号OUTRが、遅延回路31から出力される時点であり、信号OUTFはOUTRよりも遅れて出力されるため、遅延回路31と遅延回路32中には、タップを伝搬するクロックパルスは存在せず、この時点でタップの切替を行っているためである。アライナ25、39を備えた構成以外は、図20に示したものと同様とされるため、説明は省略する。

【0095】次に、本発明の第4の実施例について説明する。図6は、本発明の第4の実施例の構成を示したものであり、図18に示した構成に、カウンタ34からのタップ選択信号をラッチするラッチ回路(アライナ)39を備えたものである。

【0096】入出力補償DLL3"において、アライナ39は、カウンタ34からのタップ選択信号を、遅延回路31の出力信号CLKOEでラッチする構成とされる。

【0097】次に、本発明の第5の実施例について説明する。図7は、本発明の第5の実施例の構成を示す図である。図7を参照すると、この実施例は、図1に示した分周回路6を備えた構成において、tCK/2生成DLL2"、入出力補償DLL3"において、カウンタ24、34からのタップ選択信号をラッチするラッチ回路(アライナ)25、39を備えている。遅延回路21、22、遅延回路31、32のタップ切替時に、ハザードは生じない。

【0098】図8は、上記した各実施例の入力バッファ1、1Bの構成の例を示す図である。図8(a)に示す入力バッファは、差動回路として構成され、ソースが共通接続されて、定電流源NチャネルMOSトランジスタMN103(活性化信号がゲートに接続され、スタンバイ時にオフとされる)に接続され、ゲートがそれぞれ差動入力端子IN1、IN2に接続された差動対トランジスタMN101、MN102と、差動対トランジスタMN101、MN102のドレインと電源VDD間に接続されたカレントミラー回路MP101、MP102による能動負荷を備え、差動対トランジスタの出力端に接続され、波形整形を行うバッファをなすインバータINV101を備えて構成されている。差動入力端子IN1、IN2に、差動クロックCLK、CLKBが入力され、出力端子OUTから単相の信号CLK1が出力される。

【0099】図8(b)に示す入力バッファは、図8(a)の構成に、二つのPチャネルMOSトランジスタMP103、MP104、二つのNチャネルMOSトランジスタMN103、MN104を備えたものであり、入力の立ち上がりと立ち下がりの伝搬遅延時間差を小さくし、ウインドウ時間の規格に対するマージンを確保し、SDRAMの入力レシーバ回路に用いて好適とされる。

【0100】図8(b)を参照すると、活性化信号がゲートに接続されるNチャネルMOSトランジスタMN105に接続され、差動入力端子IN1、IN2にゲートが接続され、ソースが共通接続されて差動対を構成するトランジスタMN101、MN102に、それぞれ並列にトランジスタMN103、MN104を備え、カレントミラーを構成するPチャネルMOSトランジスタMP101、MP102にそれぞれ並列にPチャネルMOSトランジスタMP103、MP104を備え、NチャネルMOSトランジスタMN103、104のゲートは共通に接続され、NチャネルMOSトランジスタMN101のドレインに接続されている。PチャネルMOSトランジスタMP103、MP104のゲートには、それぞれ、差動入力端子IN1、IN2に入力されている。差動入力端子IN1、IN2に、CLK、CLKBが入力され、出力端子OUTからCLK1が出力される。なお、図8(b)に示す構成の詳細は、特許第3061126号公報が参照される。

【0101】図9(a)は、図1の位相検知器23(33)の構成の一例を示す図である。分周クロックCLK2を入力とするインバータINV201と、信号CLKFBHを入力するインバータINV202と、分周クロックCLK2をインバータINV201で反転した信号と信号CLKFBHをインバータINV202で反転した信号を入力する否定論理積回路NAND201と、分周クロックCLK2をオン状態のトランസファゲートTG1で遅延させた信号と、信号CLKFBHをインバー

タINV202で反転した信号を入力するNAND202と、NAND203及びNAND204からなるRSフリップフロップと、NAND203の出力信号と、インバータINV202の出力信号をインバータINV203で反転した信号を入力するNAND205と、NAND204の出力とインバータINV203の出力信号を入力するNAND206と、NAND207及びNAND208からなるRSフリップフロップとを備え、NAND208の出力から検出信号UPHが出力される。位相検知器33において、信号CLKFB1とクロック信号CLK1とが比較される場合、NAND207の出力が、検出信号UPIとして用いられる。

【0102】図9(a)の位相検知器は、帰還信号CLKFB1/CLKFBHを基準に、入力側のクロック信号CLK1/CLK2の位相の遅れ、進みを検知し、検出信号UPI/UPHを出力する構成とされている。信号CLKFBHの立ち上がりエッジに対して分周クロックCLK2の立ち上がりエッジの位相が遅れている場合、信号UPHがHighとなり(図9(c)参照)、これを受けたカウンタ24(図1参照)では、例えばカウントアップして、遅延回路21、22(図1参照)での遅延量を増大させるように、遅延回路21、22のタップを切替えるためのタップ制御信号を出力する。また信号CLKFBHの立ち上がりエッジに対して分周クロックCLK2の立ち上がりエッジの位相が進んでいる場合、UPHがLowとなり(図9(c)参照)、カウンタ34(図1参照)では、例えばカウントダウンし、遅延回路21、22(図1参照)での遅延量を減少させるように、遅延回路21、22のタップを切替えるためのタップ制御信号を出力する。

【0103】信号CLKFB1の立ち上がりエッジに対して、クロックCLK1の立ち下がりエッジの位相が進んでいる場合、UPIがHighとされ(図9(b)参照)、これを受けたカウンタ34(図1参照)は、遅延回路31、32(図1参照)の遅延量を増加させる。信号CLKFB1の立ち上がりエッジに対してクロックCLK1の立ち下がりエッジの位相が進んでいる場合、UPIがLowとされ(図9(b)参照)、カウンタ24では、遅延回路21、22の遅延量を減少させるよう、遅延回路21、22のタップを制御する。

【0104】図10は、図1の分周回路6、図3の分周回路6Aの構成の一例を示す図であり、図10(a)に示すように、D型フリップフロップとインバータINVで2分周回路を構成したものである。図10(b)に示すように、D型フリップフロップは、クロックCLK1がLowレベルで出力イネーブルとなるクロックドインバータ501と、入力端と出力端が接続されたインバータ502と、クロックCLK1がHighレベルで出力イネーブルとなるクロックドインバータ503とからなるマスター・ラッチ部と、クロックCLK1がHighレ

ベル出力イネーブルとなるクロックドインバータ504と、入力端と出力端が接続されたインバータ505と、クロックCLK1がLowレベルで出力イネーブルとなるクロックドインバータ506とからなるスレーブラップチ部とを備えて構成される。インバータ507は、D型フリップフロップの出力Qを反転してデータ入力端子Dに供給する。クロックCLK1がLowレベルのとき、マスター ラッチ部のクロックドインバータ501がオンして、入力信号がインバータ502から出力され、クロックCLK1がHighレベルのとき、マスター ラッチ部では、クロックドインバータ503がオンして、インバータ502、503がフリップフロップを構成して入力信号をラッчиし、スレーブラッチ部のクロックドインバータ504がオンして、インバータ502の出力をインバータ504、505で反転した信号が出力される。

【0105】図11は、図5、図6、図7に示したアライナ25、39の1ビットデータ分の構成を示したものであり、D型フリップフロップとして構成される。図11(b)は、アライナ25、39の1ビットデータ分(カウンタ24、34の1ビット分)のマスタースレーブ方式のラッチ回路(フリップフロップ)の構成の一例を示したものである。このD型フリップフロップは、カウンタ出力を、信号CLKHF/CLKOEの立ち上がりエッジでラッчиする。すなわち、信号G(CLKHF/CLKOE)がLowレベルのとき、マスター ラッチ部のクロックドインバータ601がオンして、データD(正転論理)がインバータ602から出力され、信号GがHighレベルのとき、マスター ラッチ部では、クロックドインバータ603がオンして、インバータ602、603がフリップフロップを構成してデータをラッчиし、スレーブラッチ部のクロックドインバータ604がオンして、インバータ602の出力をインバータ604、605で反転した信号が出力される。

【0106】図12は、図1のマルチプレクサ35Aの構成の一例を示す図である。図12を参照すると、このマルチプレクサは、信号OUTRと、信号OUTRを遅延回路301とインバータ302によって遅延反転させた信号と、を入力とする排他的否定論理和(EXNOR)回路303と、EXNOR回路303の出力を反転するインバータ304と、信号OUTFと、信号OUTFを遅延回路309とインバータ310とで遅延反転させた信号とを入力とするEXNOR回路311と、EXNOR回路311の出力を反転するインバータ312と、電源VDDにソース端子が接続され、ゲート端子にインバータ304の出力端子が接続されたPチャネルMOSトランジスタMP21と、PチャネルMOSトランジスタMP21のドレイン端子にドレイン端子が接続され、ゲート端子には、EXNOR回路311の出力信号をトランジスタMP22、MN23よりなるトランസファゲートで遅延させた信号が入力されるNチャネルMO

SトランジスタMN22と、を備え、PチャネルMOSトランジスタMP21のドレイン端子とNチャネルMOSトランジスタMN22のドレイン端子の接続点が出力端子OUTOEに接続され、データ出力用のクロック信号CLKOE(図1参照)が出力される。

【0107】さらに、電源VDDにソース端子が接続され、ゲート端子にインバータ312の出力が接続されたPチャネルMOSトランジスタMP23と、PチャネルMOSトランジスタMP23のドレイン端子にドレイン端子が接続され、ゲート端子には、EXNOR回路303の出力信号をトランジスタMP24、MN25よりなるトランസファゲートで遅延させた信号が入力されるNチャネルMOSトランジスタMN24と、を備え、PチャネルMOSトランジスタMP23のドレイン端子とNチャネルMOSトランジスタMN24のドレイン端子の接続点が出力端子OUTOEに接続され、信号CLKOE(CLKOEBの相補信号)が出力される。单相信号CLKOEを使い、CLKOEB(CLKOEBの相補信号)を用いない場合、PチャネルMOSトランジスタMP23とNチャネルMOSトランジスタMN24、トランジスタMP24、MN25よりなるトランസファゲートの構成は省いてもよい。

【0108】図12に示したマルチプレクサの動作について説明する。このマルチプレクサは、信号OUTRの立ち上がり時に、EXNOR回路303から、遅延回路301とインバータ302の遅延時間で規定されるパルスが出力され、インバータ304で反転したLOWレベルのパルス信号を受けたPチャネルMOSトランジスタMP21がオンして、出力端子OUTOEを電源電位VDDにまで引き上げてHighレベルとする。

【0109】つづいて、信号OUTFの立ち上がり時に、EXNOR回路311から、遅延回路309とインバータ310の遅延時間でパルス幅が規定されるパルスが出力され、トラン斯ファゲートで遅延させた信号がゲート端子に入力されるNチャネルMOSトランジスタMN22がオンして、出力端子OUTOEがLowレベルとされる。

【0110】また信号OUTRの立ち下がり時に、EXNOR回路303から、遅延回路301とインバータ302の遅延時間のパルス幅のパルスが出力され、インバータ304で反転したLOWレベルのパルスを入力とするPチャネルMOSトランジスタMP21がオンして、出力端子OUTOEはHighレベルとなる。

【0111】信号OUTFの立ち下がり時に、EXNOR回路311から、遅延回路309とインバータ310の遅延時間のパルス幅が規定されるパルスが出力され、トラン斯ファゲートで遅延させた信号がゲートに入力されるNチャネルMOSトランジスタMN22がオンして、出力端子OUTOEがLowレベルとされる。

【0112】図13は、図3のマルチプレクサ35-1

の構成の一例を示す図である。図13を参照すると、電源VDDと電源VSS間に縦積みに接続されたPチャネルMOSトランジスタMP21、MP22、NチャネルMOSトランジスタMN21、MN22を備え、PチャネルMOSトランジスタMP21、MP22、NチャネルMOSトランジスタMN21、MN22のゲート端子には、信号OUTR2、OUTF1、OUTR1、OUTF1が入力されている。

【0113】電源VDDと電源VSS間に縦積に接続されたPチャネルMOSトランジスタMP23、MP24、NチャネルMOSトランジスタMN23、MN24を備え、PチャネルMOSトランジスタMP23、MP24、NチャネルMOSトランジスタMN23、MN24のゲート端子には、信号OUTR1、OUTF2、OUTR2、OUTF2が入力されている。PチャネルMOSトランジスタMP22のドレイン端子とNチャネルMOSトランジスタMN21のドレイン端子の接続点と、PチャネルMOSトランジスタMP24のドレイン端子とNチャネルMOSトランジスタMN23のドレイン端子の接続点同士が互いに接続されて、インバータINV21の入力端子に入力されている。

【0114】電源VDDと電源VSS間に縦積に接続されたPチャネルMOSトランジスタMP31、MP32、NチャネルMOSトランジスタMN31、MN32を備え、PチャネルMOSトランジスタMP31、MP32、NチャネルMOSトランジスタMN31、MN32のゲート端子には、信号OUTF1、OUTR1、OUTF2、OUTR1が入力される。

【0115】電源VDDと電源VSS間に縦積に接続されたPチャネルMOSトランジスタMP33、MP34、NチャネルMOSトランジスタMN33、MN34を備え、PチャネルMOSトランジスタMP33、MP34、NチャネルMOSトランジスタMN33、MN34のゲート端子には、信号OUTF2、OUTR2、OUTF1、OUTR2が入力され、PチャネルMOSトランジスタMP32のドレイン端子とNチャネルMOSトランジスタMN31のドレイン端子の接続点と、PチャネルMOSトランジスタMP34のドレイン端子とNチャネルMOSトランジスタMN33のドレイン端子の接続点同士が互いに接続されて、インバータINV31の入力端子に入力されている。

【0116】インバータINV21の出力信号はインバータINV22を介して、電源VDDにソース端子が接続されたPチャネルMOSトランジスタMP25のゲート端子に入力され、インバータINV31の出力信号はトランスファゲート（トランジスタMP26、MN26からなり常時オン状態）を介して、ソース端子が電源VSSに接続されたNチャネルMOSトランジスタMN25のゲート端子に入力され、PチャネルMOSトランジスタMP25のドレイン端子と、NチャネルMOSトラ

ンジスタMN25のドレイン端子とが共通接続されて出力端子OUTOEに接続されている。

【0117】インバータINV31の出力信号はインバータINV32を介して、電源VDDにソース端子が接続されたPチャネルMOSトランジスタMP35のゲート端子に入力され、インバータINV21の出力信号はトランスファゲート（トランジスタMP36、MN36からなり常時オン状態）を介して、ソース端子が電源VSSに接続されたNチャネルMOSトランジスタMN35のゲート端子に入力され、PチャネルMOSトランジスタMP35のドレイン端子と、NチャネルMOSトランジスタMN35のドレイン端子とが共通接続されて、出力端子OUTOEBに接続されている。CLKOEの相補信号CLKOEBを使わない場合、PチャネルMOSトランジスタMP35、NチャネルMOSトランジスタMN35、インバータINV32、トランジスタMP36、MN36は省略してよい。

【0118】図13に示したマルチプレクサの動作を以下に説明する。信号OUTR1の立ち上がり（信号OUTF1はHighレベル）で（図4の（7））、NチャネルMOSトランジスタMN21、MN22がオンし、ノードN1は放電され、インバータINV21、22を介して伝達され、PチャネルMOSトランジスタMP25のゲート端子にはLowレベルが印加され、出力端子OUTOEが充電され、信号CLKOEは立ち上がる。

【0119】信号OUTF2の立ち上がり（信号OUTR1はHighレベル）で（図4の（9））、NチャネルMOSトランジスタMN31、MN32がオンし、ノードN2は放電され、インバータINV31で反転された信号が、トランスファゲート（MN26、MP26）を介して伝達され、NチャネルMOSトランジスタMN25のゲート端子にはHighレベルが印加され、出力端子OUTOEが放電され、信号CLKOEは立ち下がる。

【0120】信号OUTR2の立ち上がり（信号OUTF2はHighレベル）で（図4の（10））、NチャネルMOSトランジスタMN23、MN24がオンし、ノードN1は放電され、インバータINV21、22を介して、PチャネルMOSトランジスタMP25のゲートにはLowレベルが印加され、OUTOEが充電され、信号CLKOEは立ち上がる。

【0121】OUTF1の立ち上がり（OUTR2はHighレベル）で（図4の（11））、NチャネルMOSトランジスタMN33、MN34がオンし、ノードN2は放電され、インバータINV31で反転された信号が、トランスファゲート（MN26、MP26）を介して伝達され、NチャネルMOSトランジスタMN25のゲート端子にはHighレベルが印加され、出力端子OUTOEが放電され、信号CLKOEは立ち下がる。

【0122】ノードN1は、信号OUTR2、OUTF

1がともにL_owレベルであるか、信号OUTR1、OUTF2がともにL_owレベルであるときに充電され、このときPチャネルMOSトランジスタMP25はオフとされる。

【0123】ノードN2は、信号OUTF1、OUTR1がともにL_owレベルであるか、OUTF2、OUTR2がともにL_owレベルであるときに充電され、このときPチャネルMOSトランジスタMP35はオフとされる。

【0124】以上、本発明を、DDR-SDRAMに適用した実施例に即して説明したが、本発明は、デューティコレクション機能を実現する任意のDLL、入力クロックと、出力クロックの位相を一致させる任意の用途のDLLにも同様に適用される。上記実施例において、カウンタ24、35から、遅延回路21、22、遅延回路31、32に出力されるタップ選択信号を、常に1ビットのみが変化するグレイコード(Grey Code)としてもよい。

【0125】すなわち、本発明は、上記実施例の構成にのみ限定されるものではなく、特許請求の範囲の請求項の発明の範囲で、当業者であれば、なし得るであろう各種、変形、修正を含むことは勿論である。

【0126】

【発明の効果】以上説明したように、本発明によれば、入力クロックを分周した信号で、DCC機能のDLLを構成したことにより、動作時の消費電流を低減する、という効果を奏する。

【0127】本発明をDDR-SDRAM等に実施した場合、動作時の消費電流を低減しながら、クロックスキュー等によるクロック信号のデューティのばらつきを補正し、正しい周期(例えばクロック周期(tCK)の2分の1)で、データを出力することができる、という効果を奏する。

【0128】さらに、本発明によれば、遅延回路のタップを選択するタップ選択信号をラッチする回路を設けたことにより、DLLの遅延回路のタップ切替時のハザードの発生を回避し、誤動作等を回避し、動作を安定なものとし、信頼性を特段に向上する、という効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す図である。

【図2】本発明の第1の実施例のタイミング動作を説明するための図である。

【図3】本発明の第2の実施例の構成を示す図である。

【図4】本発明の第2の実施例のタイミング動作を説明するための図である。

【図5】本発明の第3の実施例の構成を示す図である。

【図6】本発明の第4の実施例の構成を示す図である。

【図7】本発明の第5の実施例の構成を示す図である。

【図8】(a)、(b)は本発明の実施例で用いられる

入力バッファの構成を示す図である。

【図9】(a)は、本発明の実施例で用いられる位比較器の構成を示す図であり、(b)、(c)はその動作を説明する図である。

【図10】(a)、(b)は本発明の実施例で用いられる分周回路の構成を示す図である。

【図11】(a)、(b)は本発明の実施例で用いられるアライナの構成を示す図である。

【図12】本発明の第1の実施例で用いられるマルチプレクサの構成を示す図である。

【図13】本発明の第2の実施例で用いられるマルチプレクサの構成を示す図である。

【図14】遅延回路の構成の一部を示す図である。

【図15】遅延回路におけるタップ切替時のハザード発生を説明するための図である。

【図16】メモリシステムにおけるクロックスキューとDCC機能との関係を説明するための図である。

【図17】メモリシステムの構成を模式的に示す図である。

【図18】従来のDLL回路の構成を示す図である。

【図19】図18の回路のタイミング動作を説明するための図である。

【図20】従来のDLL回路の構成を示す図である。

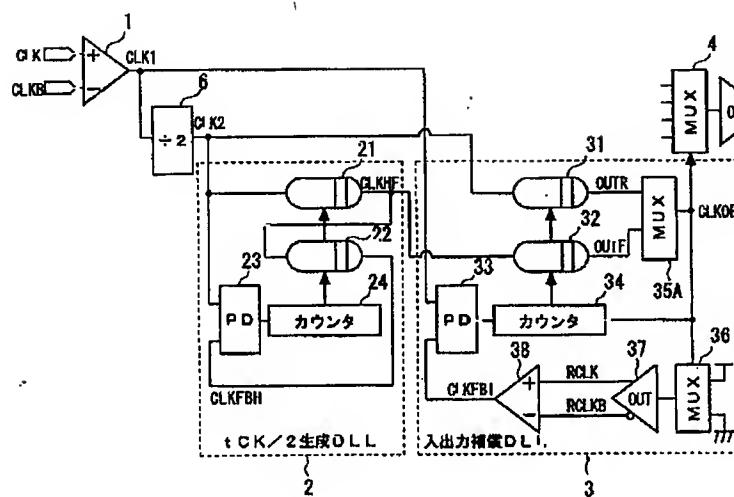
【図21】図18の回路のタイミング動作を説明するための図である。

【符号の説明】

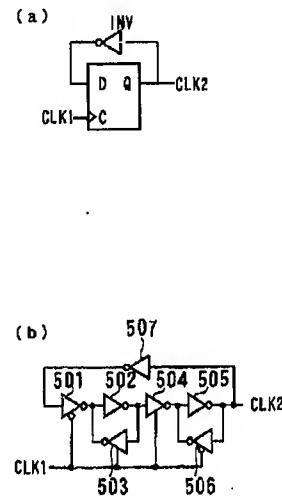
- 1、1B 入力バッファ
- 2、2'、2''、2B tCK/2生成DLL回路
- 3、3'、3''、3A、3B 入出力補償DLL回路
- 4 マルチプレクサ(データマルチプレクサ)
- 5 出力バッファ
- 6、6A 分周回路
- 11-1、11-2、11-3 バッファ
- 21 遅延回路
- 21-1 粗遅延回路
- 21-2、21-3 微調遅延回路
- 22 遅延回路
- 22-1 粗遅延回路
- 22-2、22-3 微調遅延回路
- 23 位相検知器
- 24 カウンタ
- 25 アライナ
- 26-1、26-2 マルチプレクサ
- 27-1、27-2 インバータ
- 31 遅延回路
- 31-1 粗遅延回路
- 31-2、31-3 微調遅延回路
- 32 遅延回路
- 32-1 粗遅延回路
- 32-2、32-3 微調遅延回路

33 位相検知器	51 メモリ
34 カウンタ	52 クロック発生源
35、35A、35B、35-1、35-2 マルチプ レクサ	301、309 遅延回路
36 マルチプレクサ	302、304、310、312 インバータ
37、38 バッファ	303、311 排他的否定論理回路
39 アライナ	501、503、504、506、601、603、6 04、606 クロックドインバータ
40-1、40-2 インバータ	502、505、602、605 インバータ
50 メモリコントローラ	

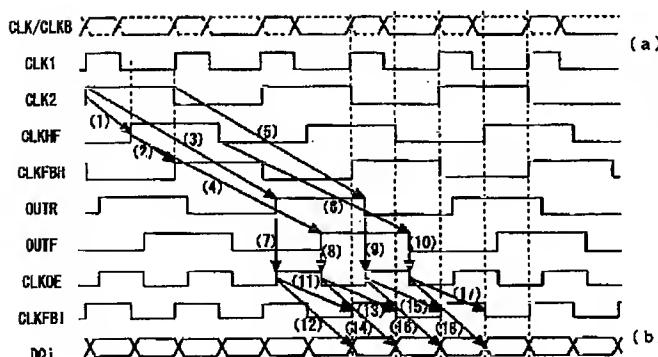
【図1】



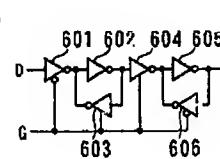
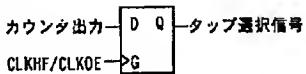
【図10】



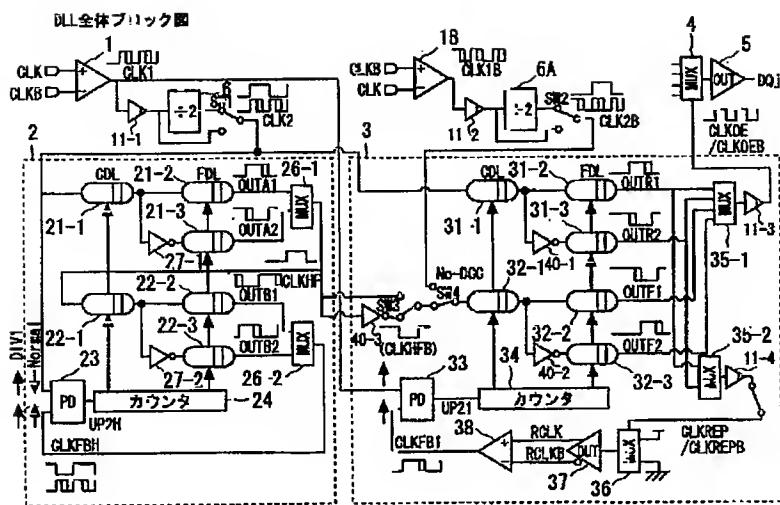
【図2】



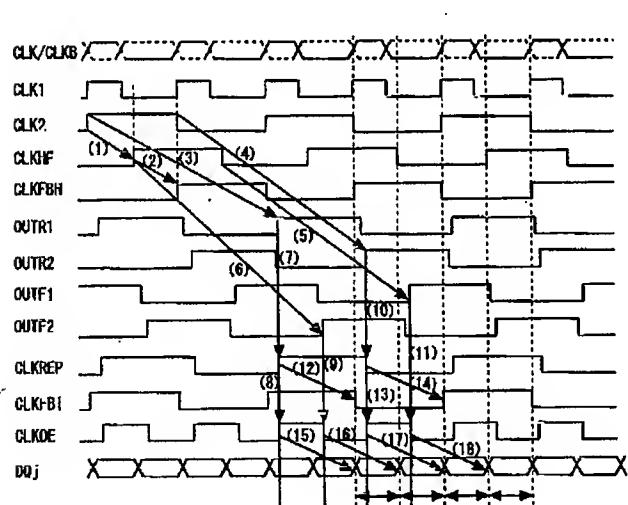
【図11】



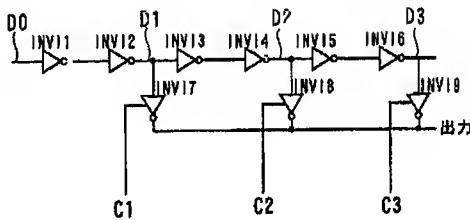
【図3】



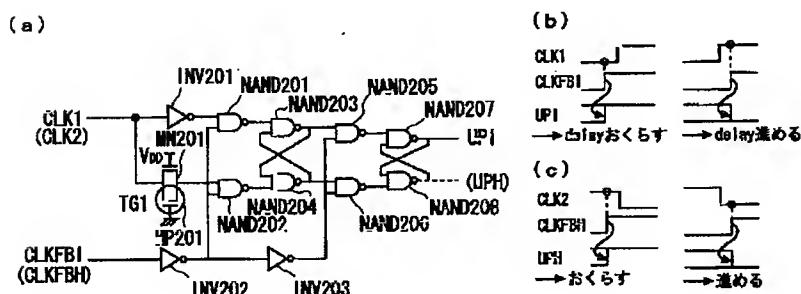
【図4】



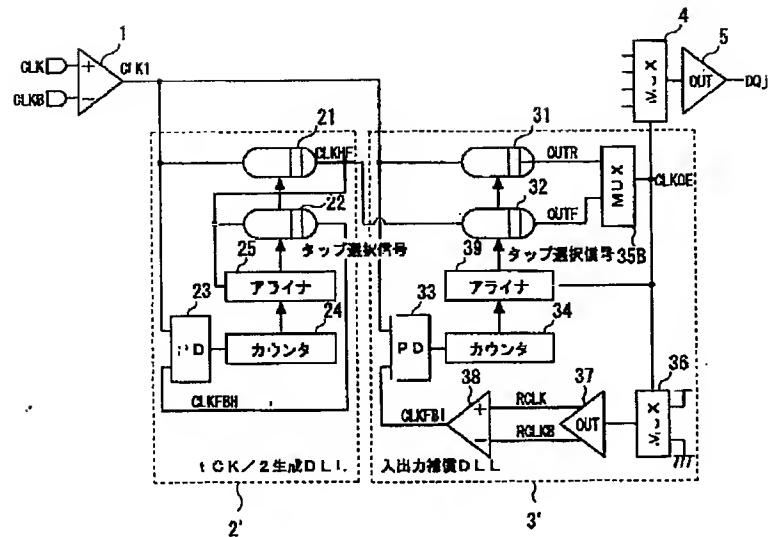
【図14】



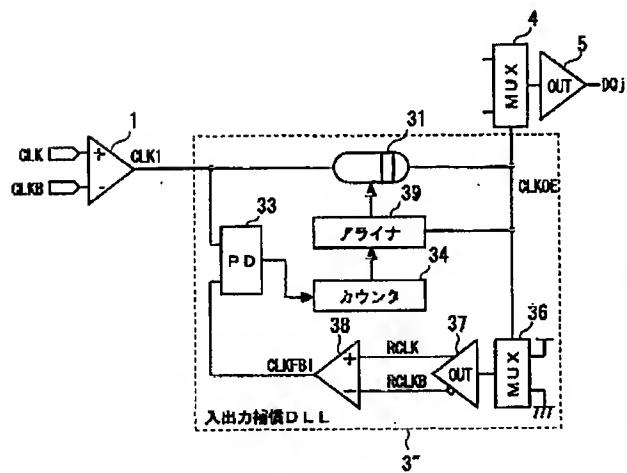
【図9】



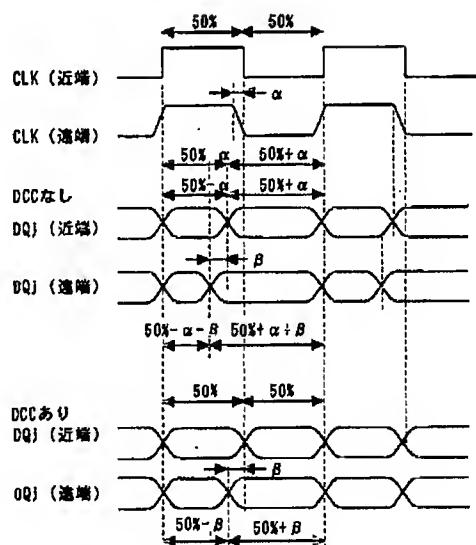
【図5】



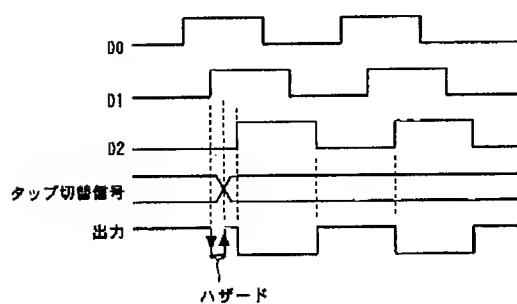
【図6】



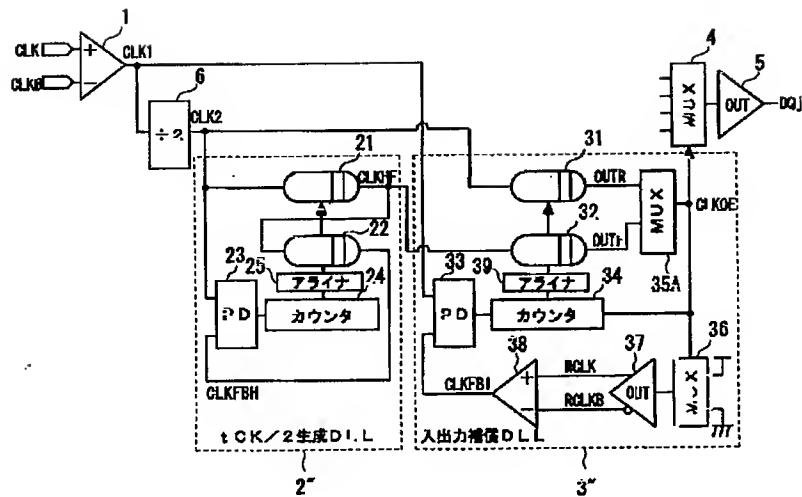
【図16】



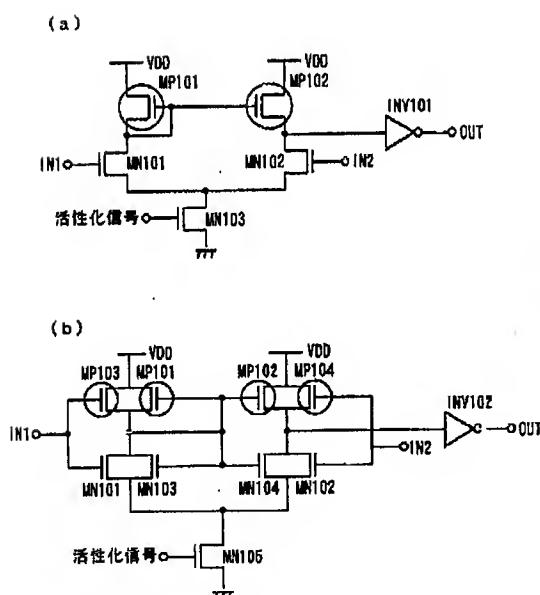
【図15】



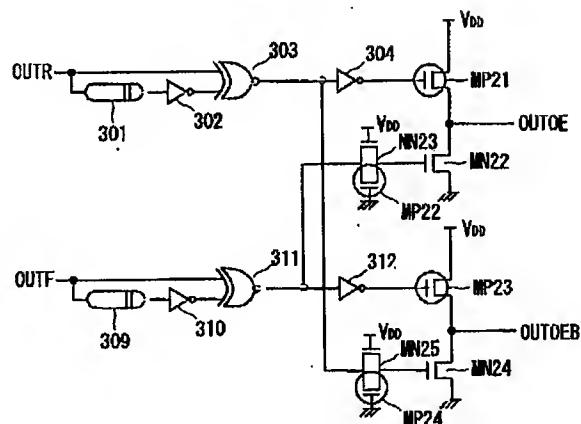
【図7】



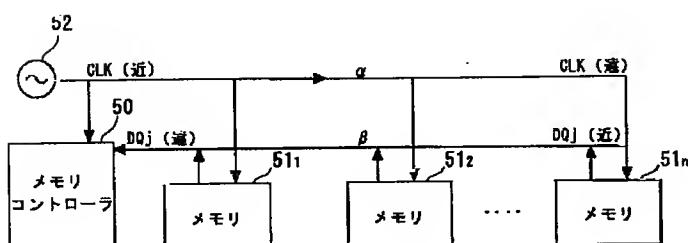
【図8】



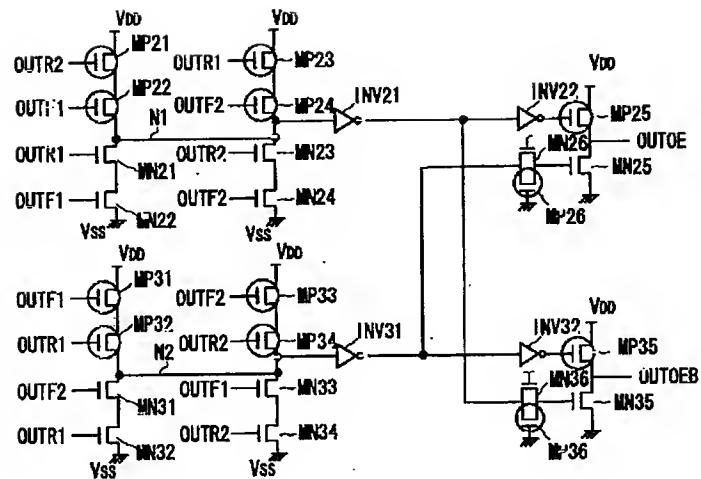
【図12】



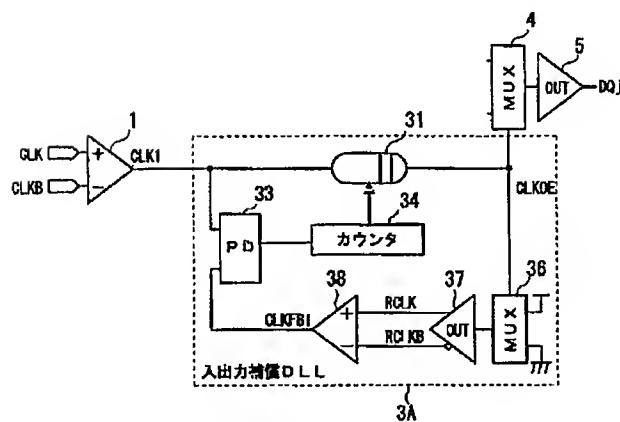
【図17】



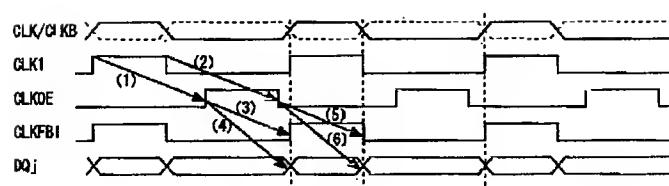
【図13】



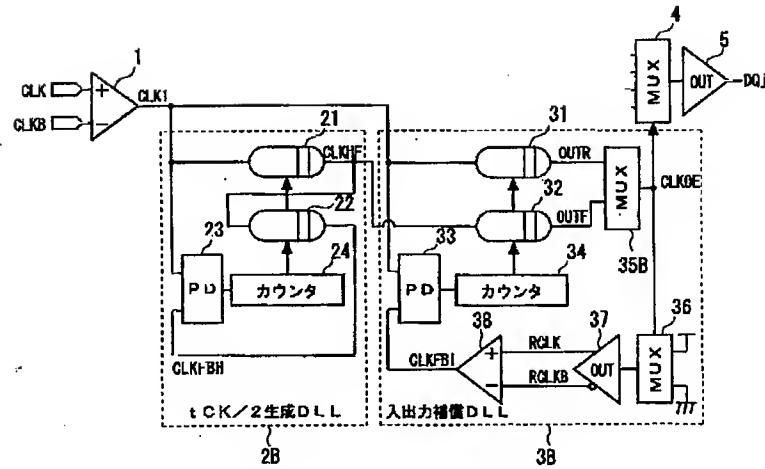
【図18】



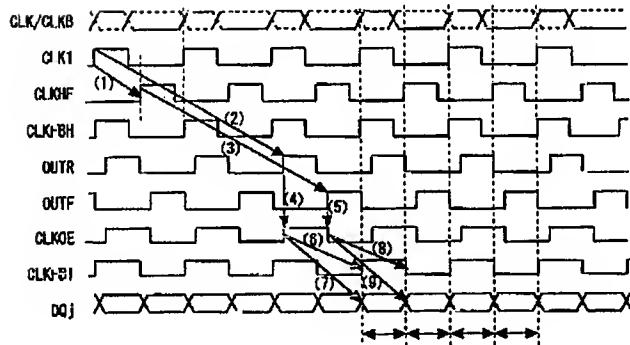
【図19】



【図20】



【図21】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H03K 5/00

(参考)

V

F ターム(参考) 5B079 CC02 CC14 DD03 DD06 DD13
 DD17
 5J001 AA11 BB21 BB24 CC03 DD09
 5J106 AA04 CC21 CC52 CC59 DD10
 DD17 KK11 KK40
 5M024 AA04 AA27 AA40 BB03 BB04
 BB27 BB30 BB33 DD35 DD40
 DD60 DD83 GG01 JJ03 JJ34
 JJ38 PP01 PP02 PP03 PP07